
VLSI-Technologie

Prof. Dr. Michael Siegel

Institut für Mikro- und Nanoelektronische Systeme (IMS)

Fakultät für Elektrotechnik und Informationstechnik

Universität Karlsruhe (TH)

<http://www.ims.uni-karlsruhe.de>



Universität Karlsruhe (TH)

Institut für Mikro- und Nanoelektronische Systeme



1

Organisatorisches

Prof. Dr. Michael Siegel

e-Mail: m.siegel@ims.uni-karlsruhe.de

Tel.: 0721-608 4961

Termine:

Mittwoch, 11:30 –13:00 Uhr

(Raum 003, Geb. 10.20)

Dateien zur Vorlesung:

<http://ims.uni-karlsruhe.de>

Alle Dateien sind nur mit Passwort zu entzippen:

vlsi

Literatur:

- [Hilleringmann, Ulrich](#), Silizium-Halbleitertechnologie, B.G. Teubner Verlag
- Giebel, Thomas, [Grundlagen der CMOS-Technologie](#), B.G. Teubner Verlag
- <http://www.intel.com/technology/silicon/index.htm>



Universität Karlsruhe (TH)

Institut für Mikro- und Nanoelektronische Systeme



2

Inhalt (I)

- 1. Einführung**
 - 1.1. Roadmap
 - 1.2. CMOS – Prozess
- 2. Silizium – Basismaterial der VLSI-Technologie**
 - 2.1. Eigenschaften von Si
 - 2.2. Bandstruktur und Ladungsträger von Si
 - 2.3. pn-Übergänge
- 3. Grundlagen der Herstellung integrierter Schaltkreise**
 - 3.1. Thermische Oxidation von Si
 - 3.2. Ionenimplantation
 - 3.3. Diffusion
 - 3.4. Herstellung dünner Schichten
 - 3.5. Lithographie
 - 3.6. Strukturierung

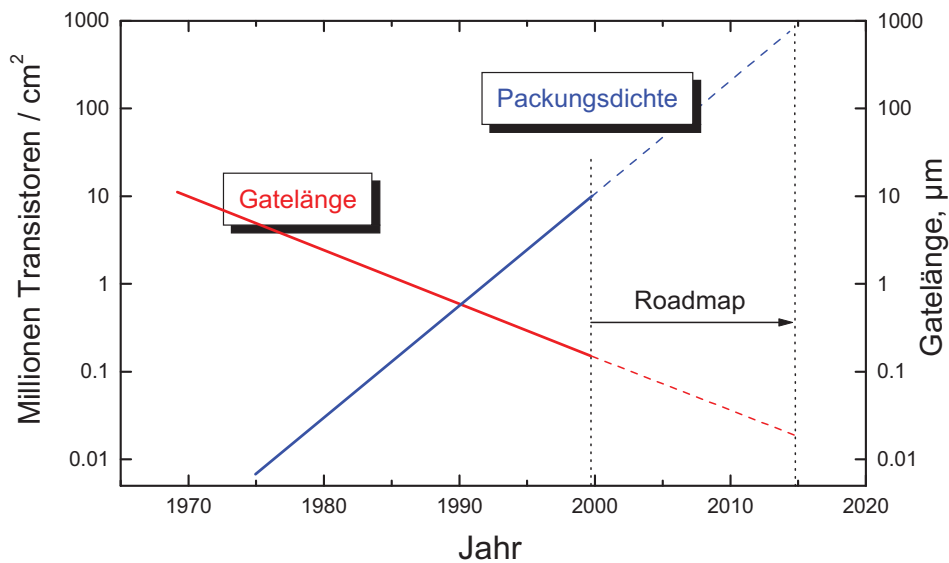


Inhalt (II)

- 4. CMOS-Inverter**
 - 4.1. n-Wannen-CMOS-Prozess
 - 4.2. Verhalten von MOSFET mit extrem kleinen Gatelängen
 - 4.3. Latch-up
 - 4.4. Twin-Well-Prozess
- 5. Ultra-Large Scale Integration (ULSI)**
 - 5.1. Skalierungsregeln
 - 5.2. Verhalten von MOSFET mit extrem kleinen Gatelängen
 - 5.3. Lokale Oxidation von Silizium (LOCOS)
 - 5.4. Verlustleistungsbetrachtungen
- 6. Ausblick**
 - 6.1. Weiterentwicklungen der CMOS-Technik
 - 6.2. Nano-MOSFET



Gordon Moore, 1965:
„Integration complexity doubles every three years.“

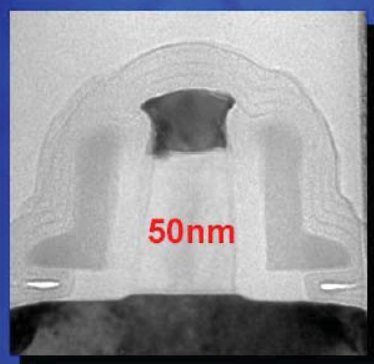


Traditionelle Triebkraft: Kosten / Funktion



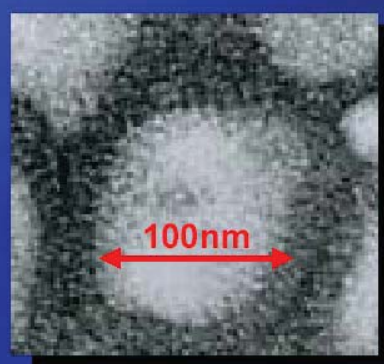
1959

- erster integrierter Schaltkreis
- Jack Kilby, Robert Noyce
- „Plenty room on the bottom“ (Richard Feynman)



Transistor for 90nm Process

Source: Intel



Influenza virus

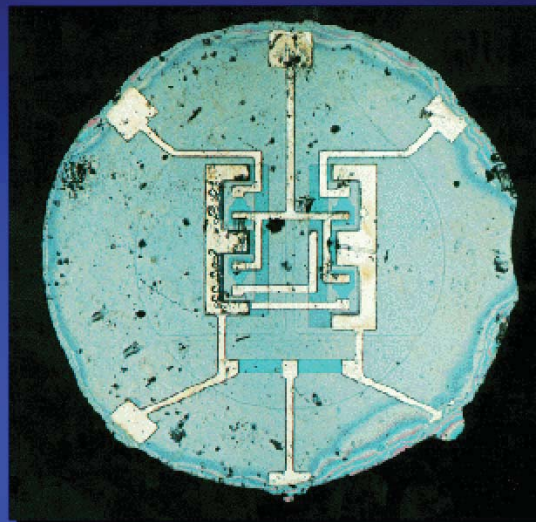
Source: CDC



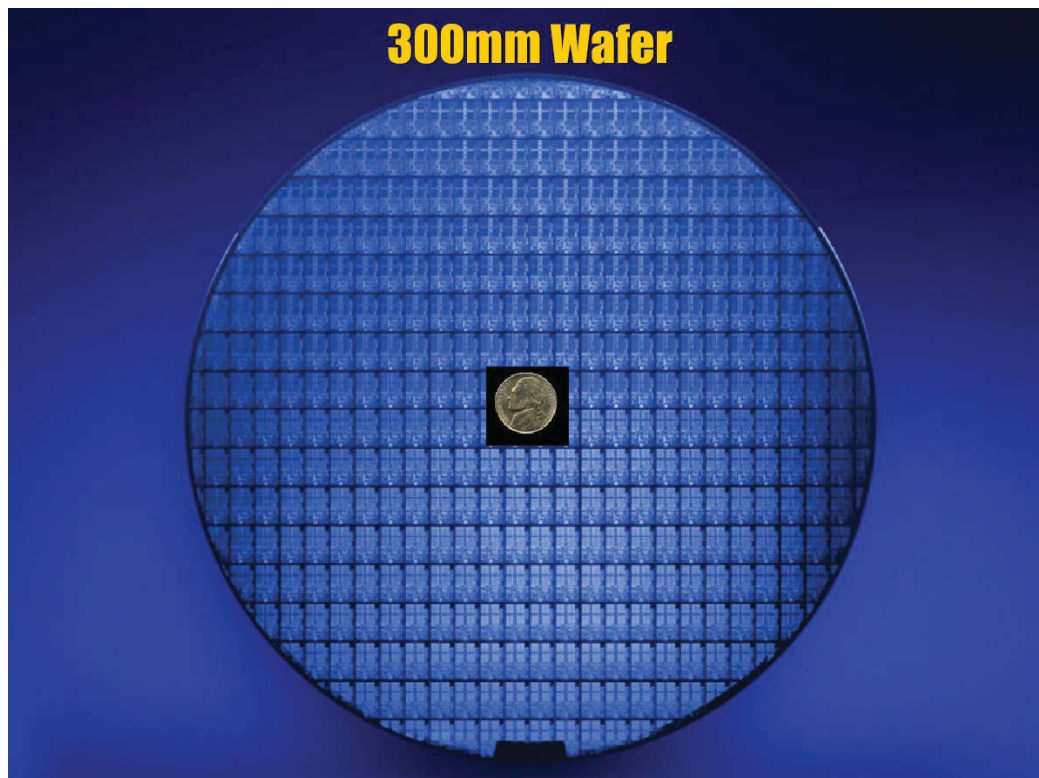
1" Wafer of Planar Transistors, ~1959



The First Planar Integrated Circuit, 1961



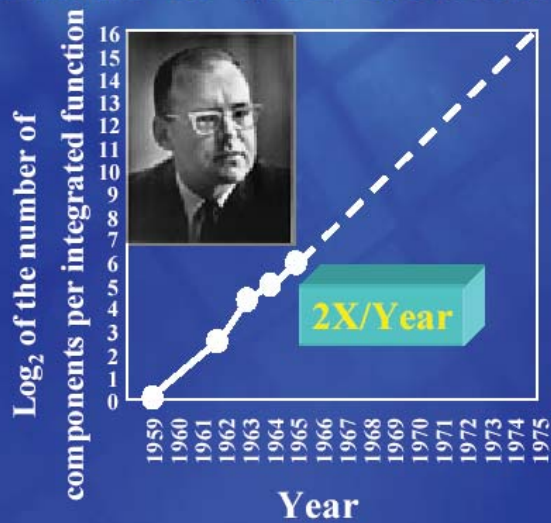
Vergangenheit und Gegenwart (IV)



Vergangenheit und Gegenwart (V)



Birth of Microelectronics: Moore's Law



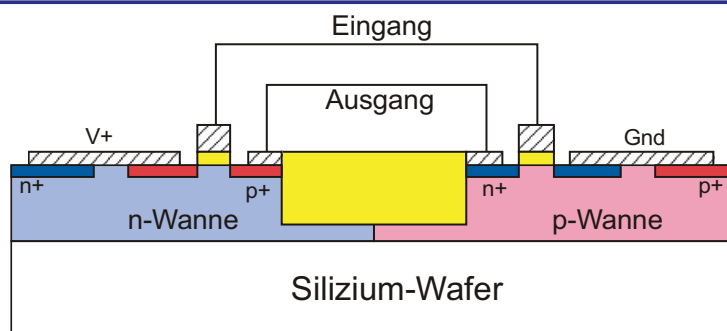
“Reduced cost is one Of the big attractions of Integrated electronics, and The cost advantage continues To increase as the technology Evolves toward the production Of larger and larger circuit Functions on a single semiconductor substrate.”

“Dr. Gordon E. Moore is one of the new breed of electronic engineers, schooled in the physical sciences rather than in electronics.”

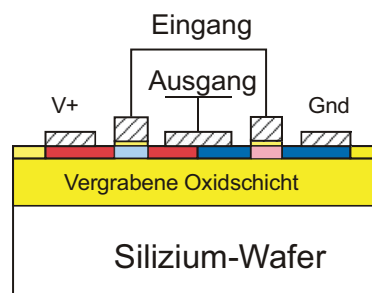
Electronics Magazine (35th anniversary), April 19, 1965



Der CMOS - Inverter



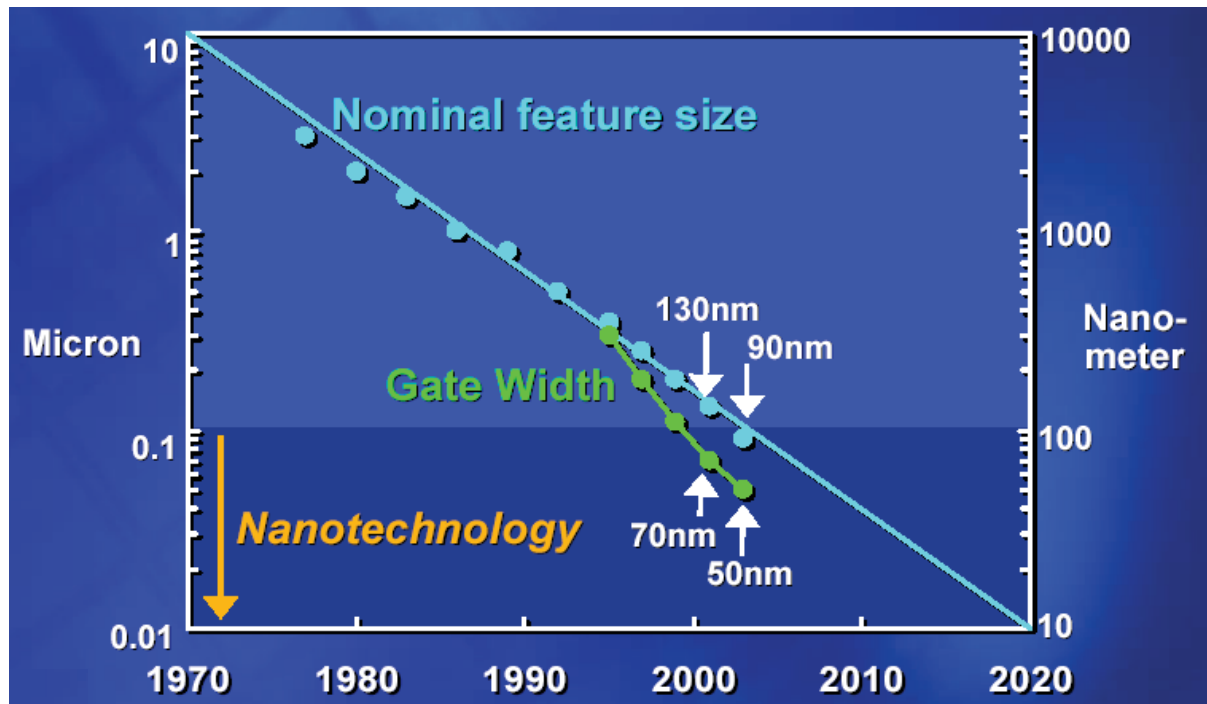
CMOS Inverter (Standard)



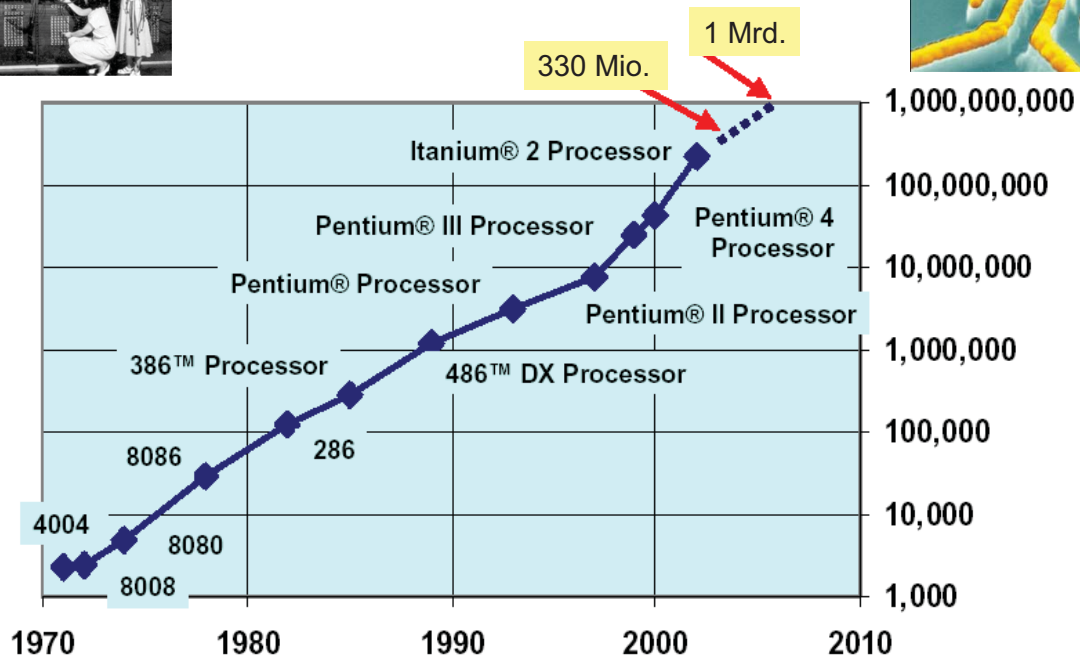
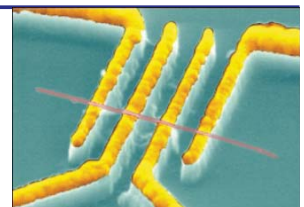
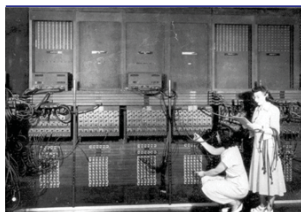
CMOS Inverter (SOI)



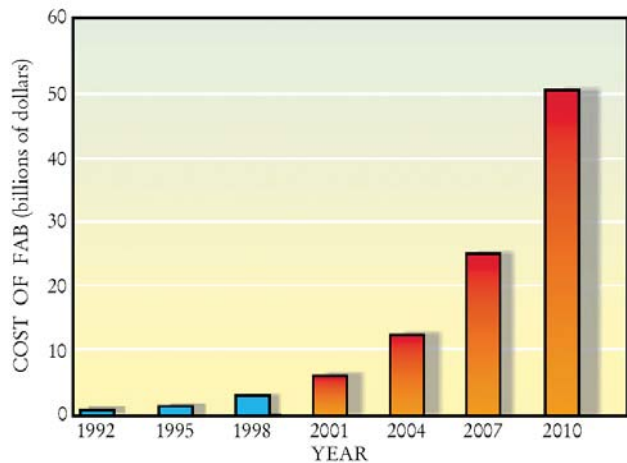
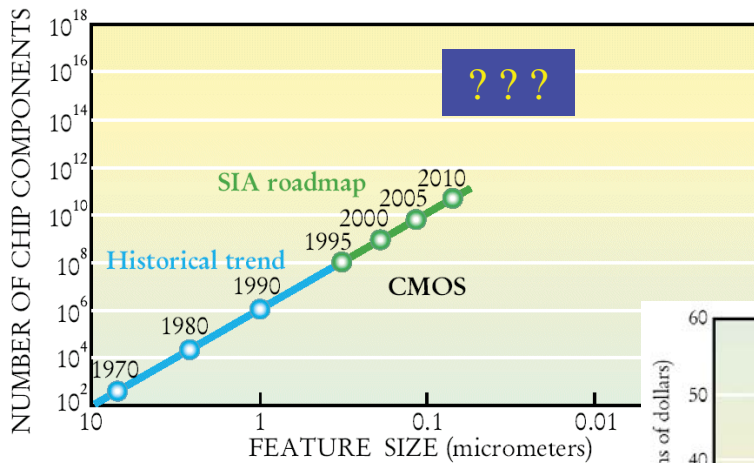
Das Moore'sche Gesetz (I)



Das Moore'sche Gesetz (II)



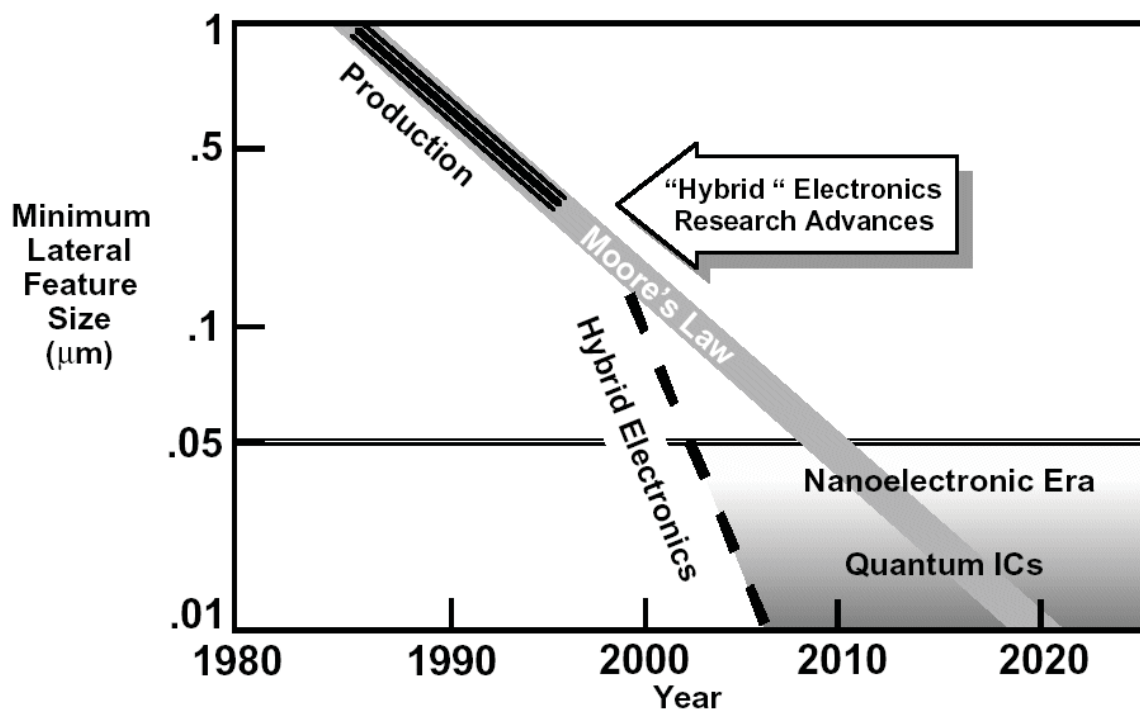
ITRS - Roadmap



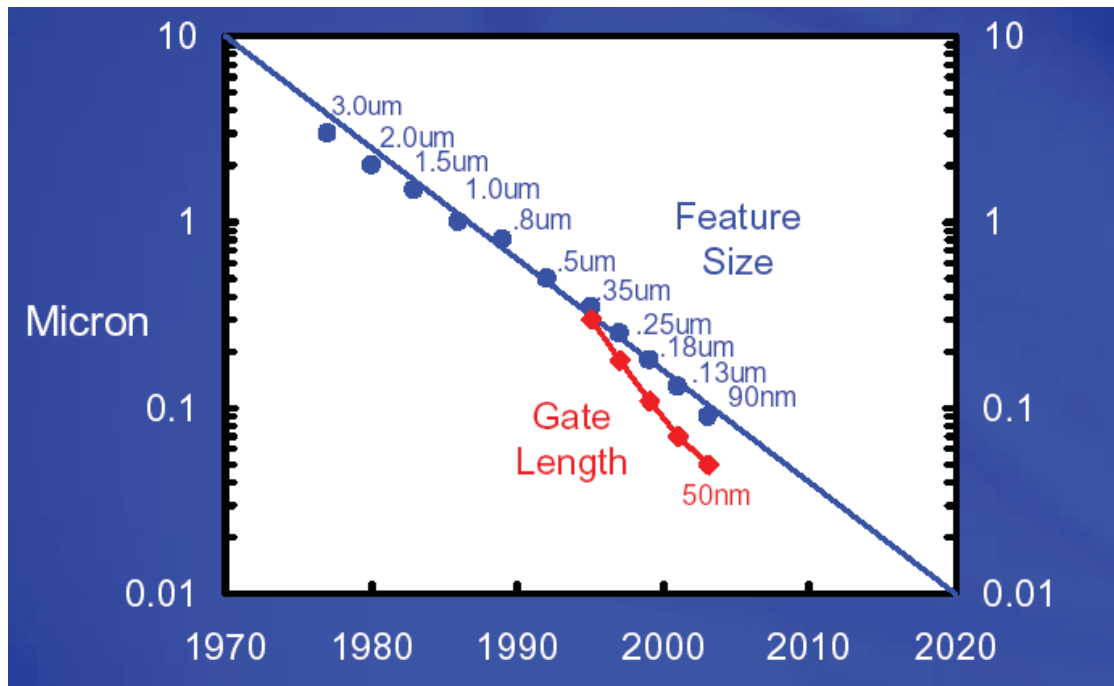
<http://www.itrs.net/reports.html>



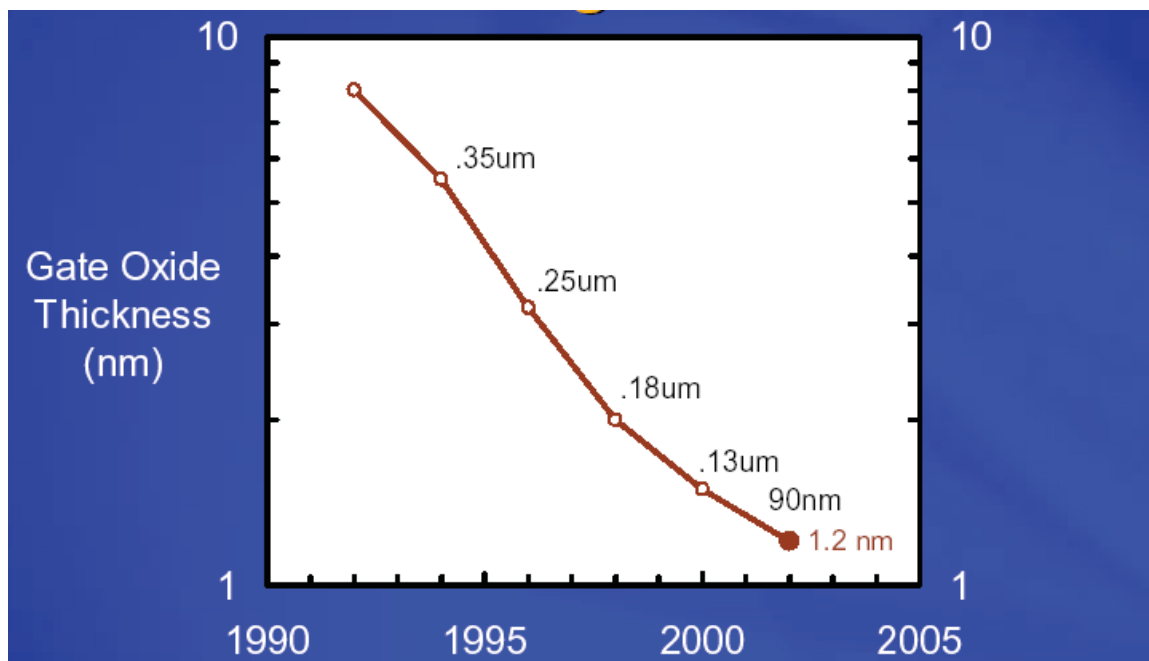
Roadmap und Nanoelektronik



Roadmap: Gatelänge

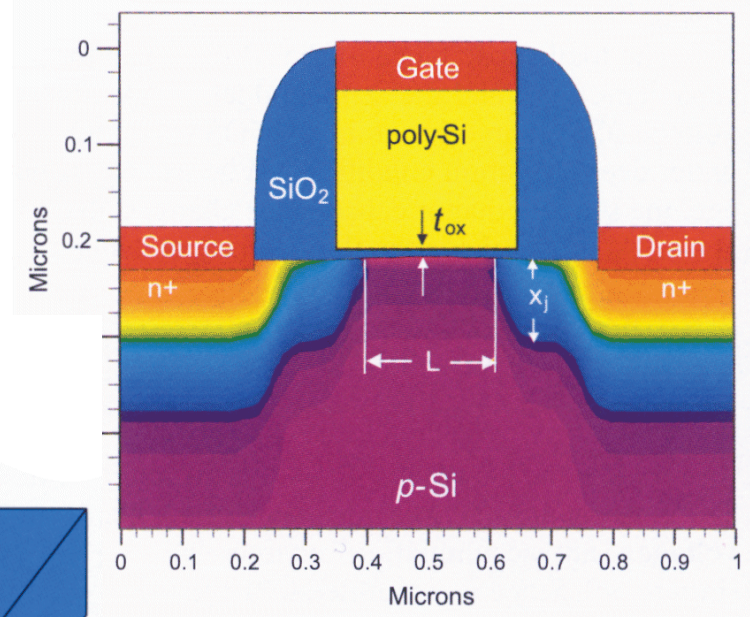
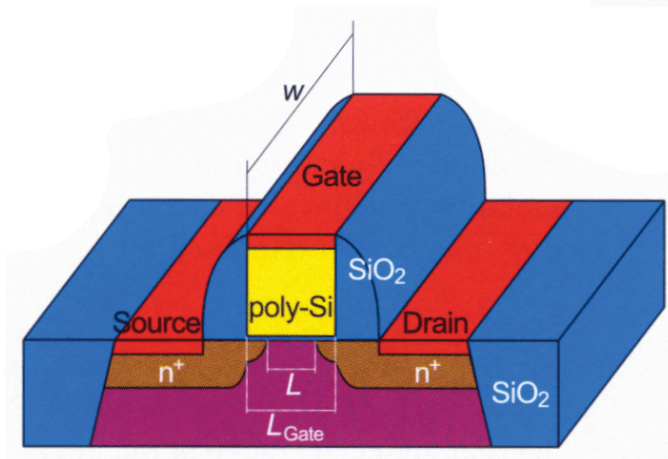


Roadmap: Gateoxid-Dicke



CMOS – Skalierung (I)

Querschnitt



Simulation

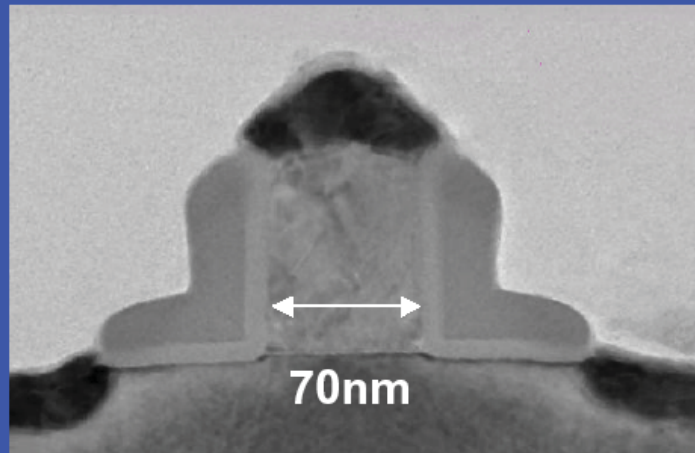


CMOS – Skalierung (I)

Process Name	<u>P856</u>	<u>P858</u>	<u>Px60</u>	<u>P1262</u>	<u>P1264</u>	<u>P1266</u>
1 st Production	1997	1999	2001	2003	2005	2007
Lithography	0.25μm	0.18μm	0.13μm	90nm	65nm	45nm
Gate Length	0.20μm	0.13μm	<70nm	<50nm	<35nm	<25nm
Wafer (mm)	200	200	200/300	300	300	300



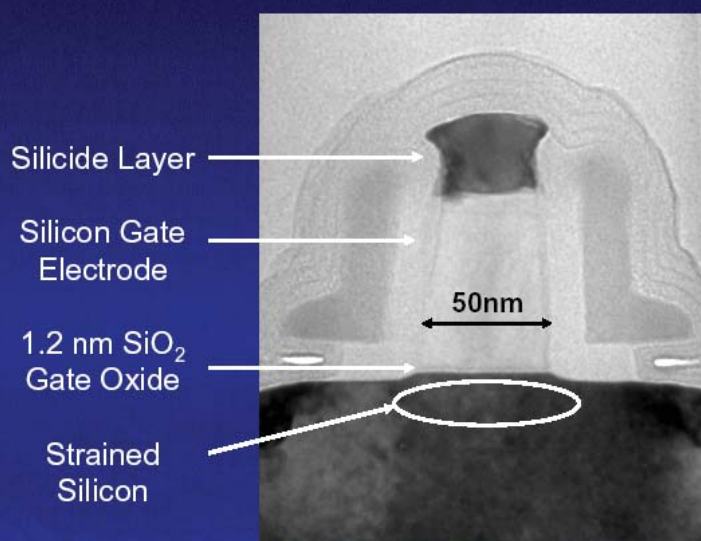
130nm Technology Features



70 nm L_{GATE} NMOS Transistor



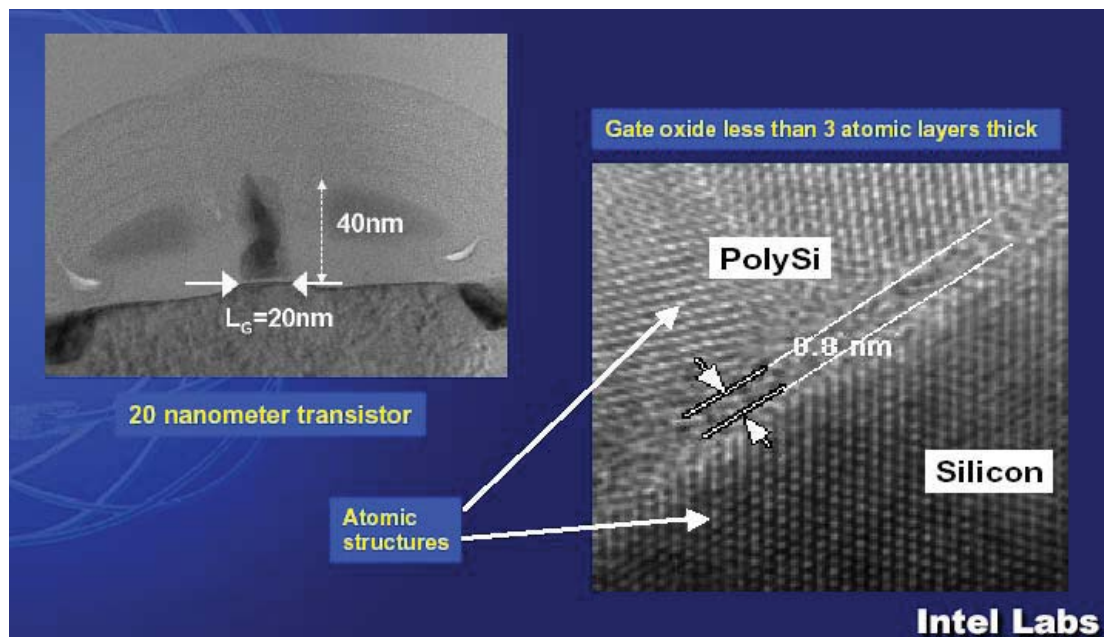
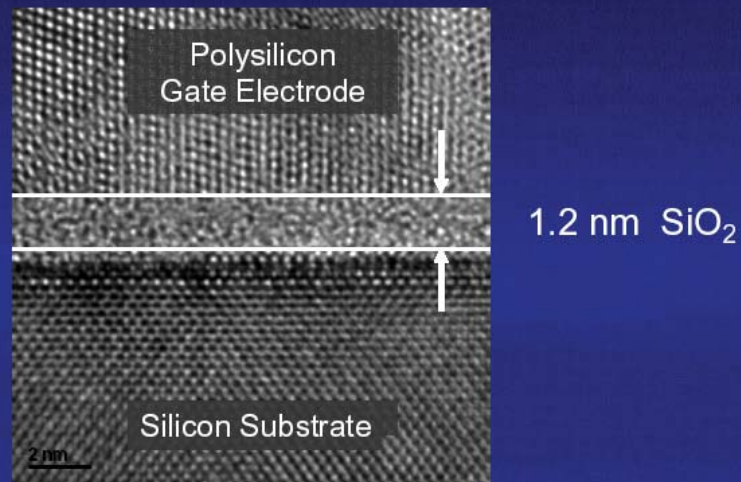
90 nm Generation Transistor

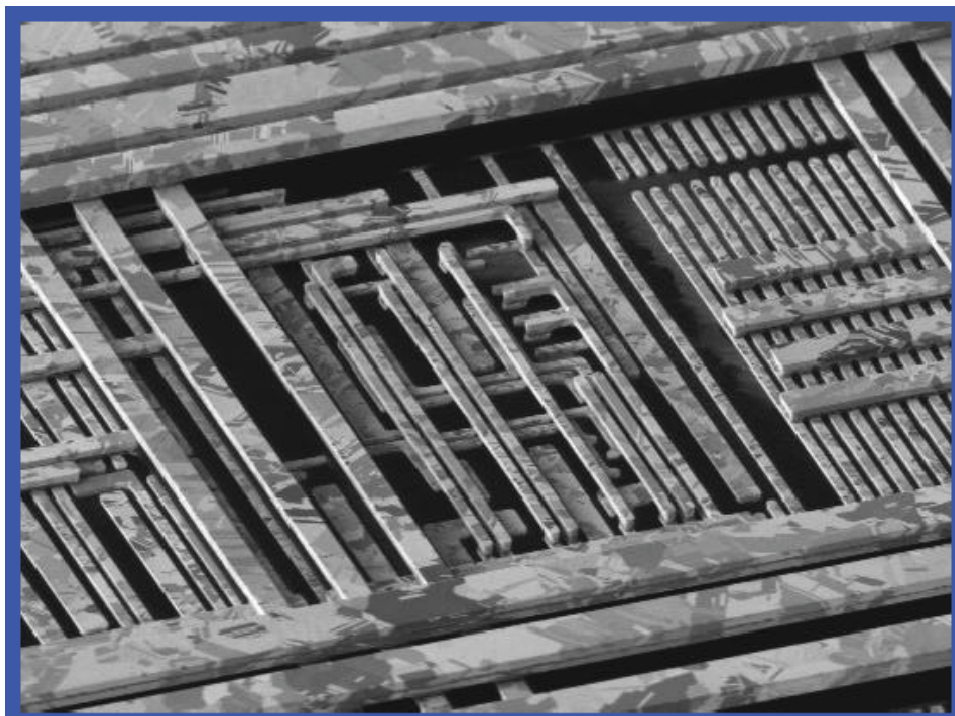
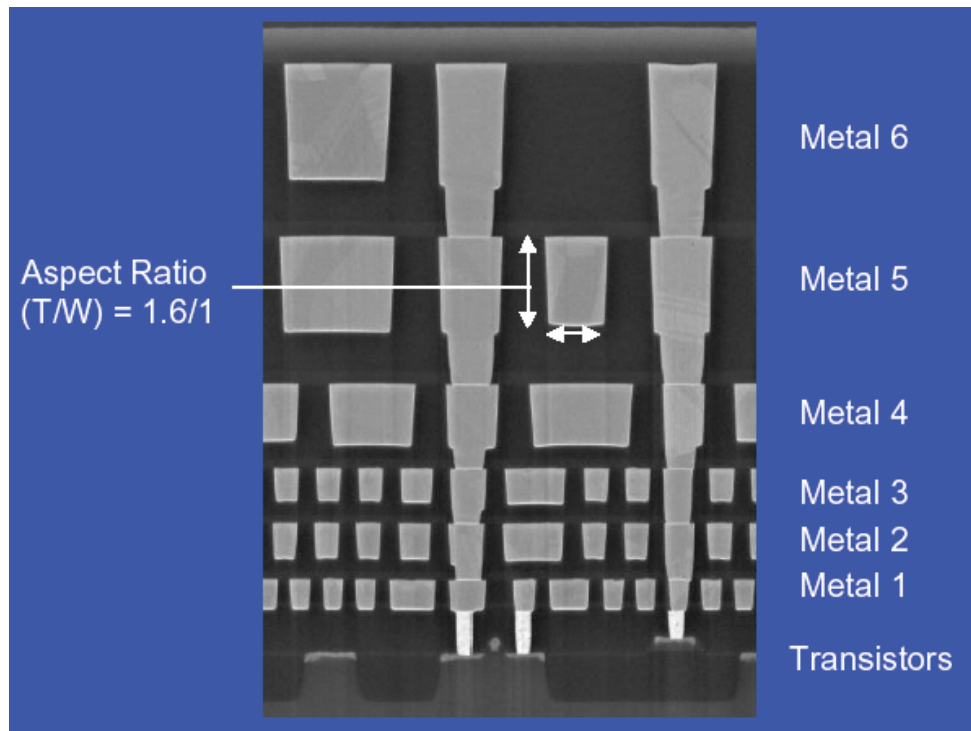


50 nm transistor dimension is ~2000x smaller than diameter of human hair



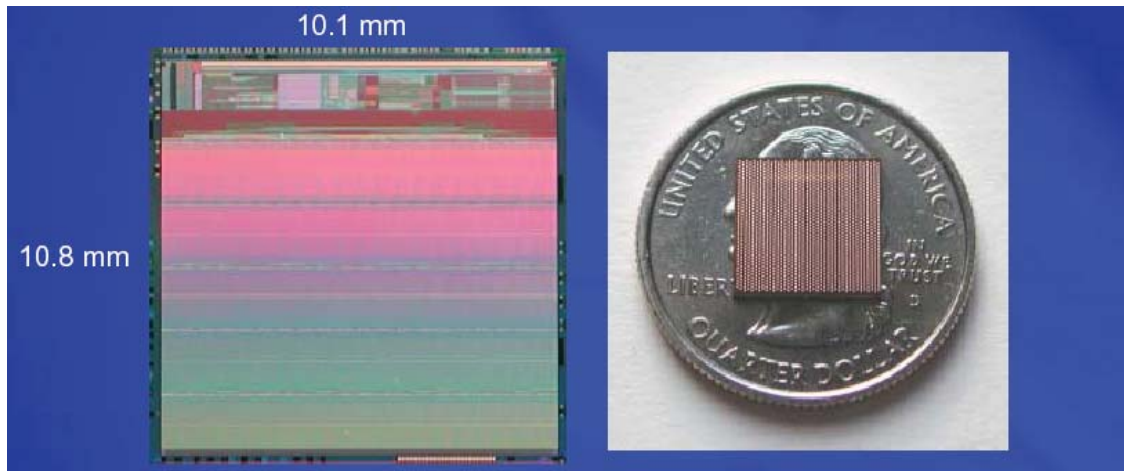
90 nm Generation Gate Oxide





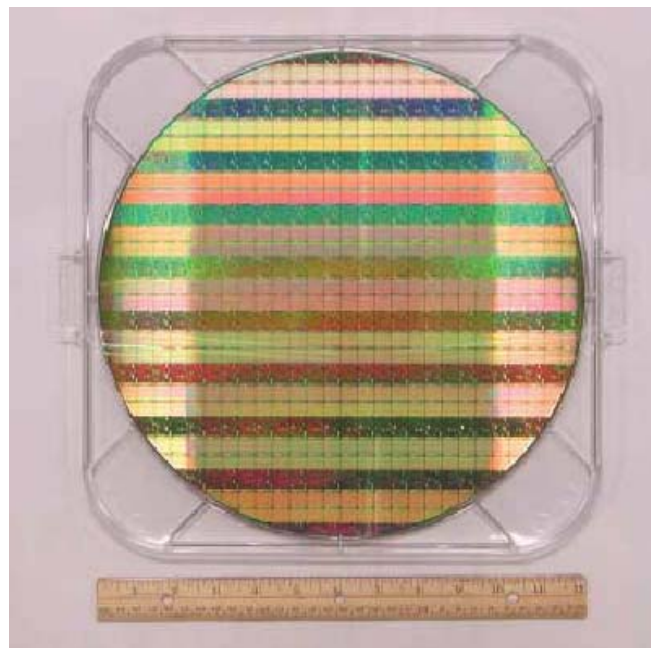
52 Mbit SRAM Chips

330 Millionen Transistoren auf einem Chip

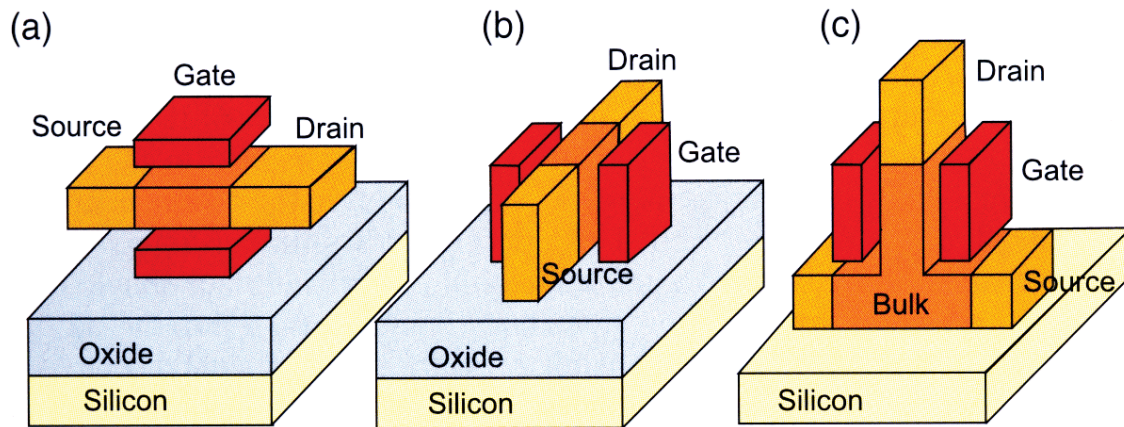


52 Mbit SRAM Chips auf einem 300 mm Wafer

120 Milliarden Transistoren auf einem 300 mm Wafer!



Aufbau von Dual-Gate-MOSFET



Herausforderungen: Bauelemente

Gatelänge

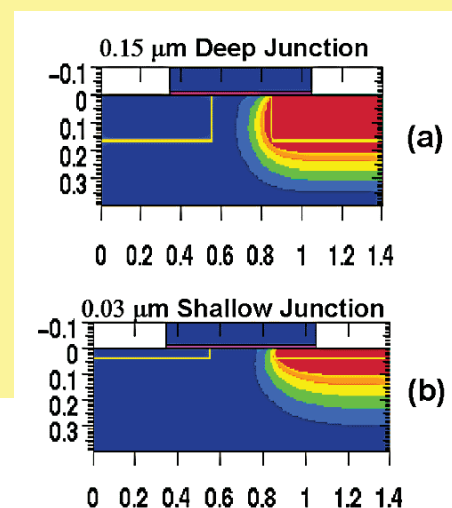
- sub 50 nm-Bereich mit E-Lithographie; XRL oder DUV
- Zuverlässigkeit und Reproduzierbarkeit

Dicke des Gateoxids

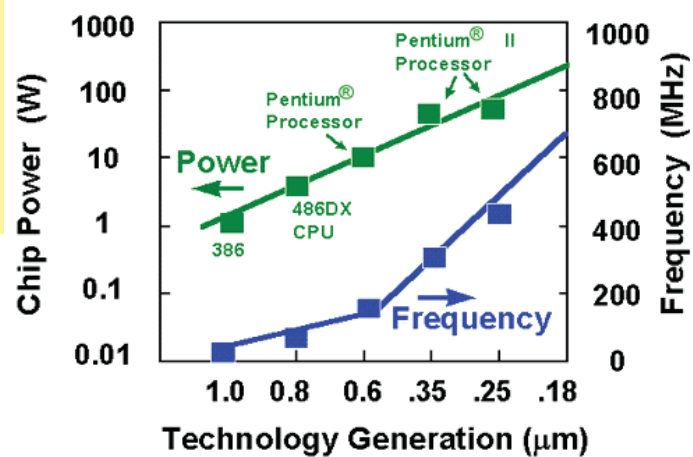
- 2 nm oder höheres ϵ
- Zuverlässigkeit der Grenzflächen

Tiefe der Verarmungszone

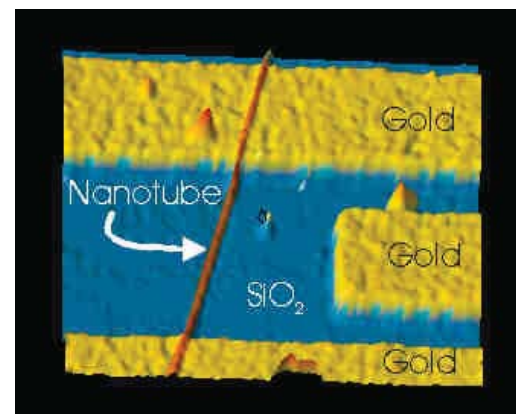
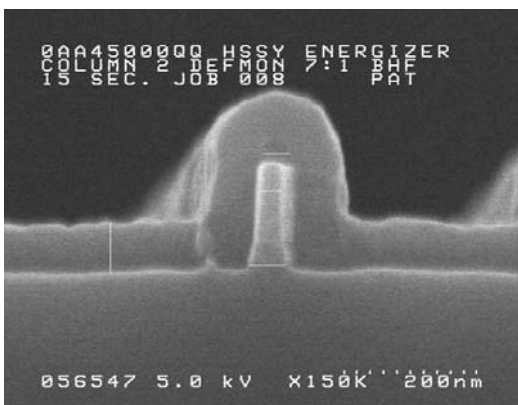
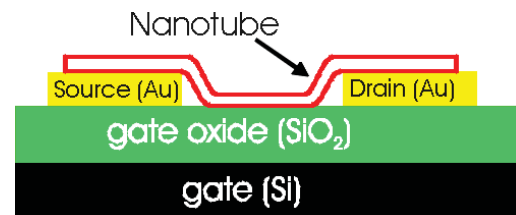
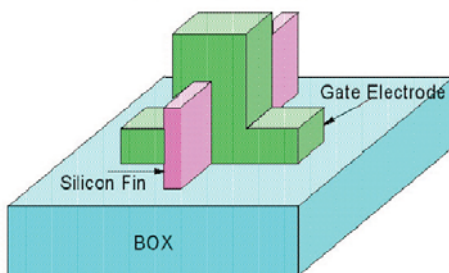
- Präzision der Ionenimplantation
- hohe Si-Dotierung
- Drain-Bulk-Tunneln

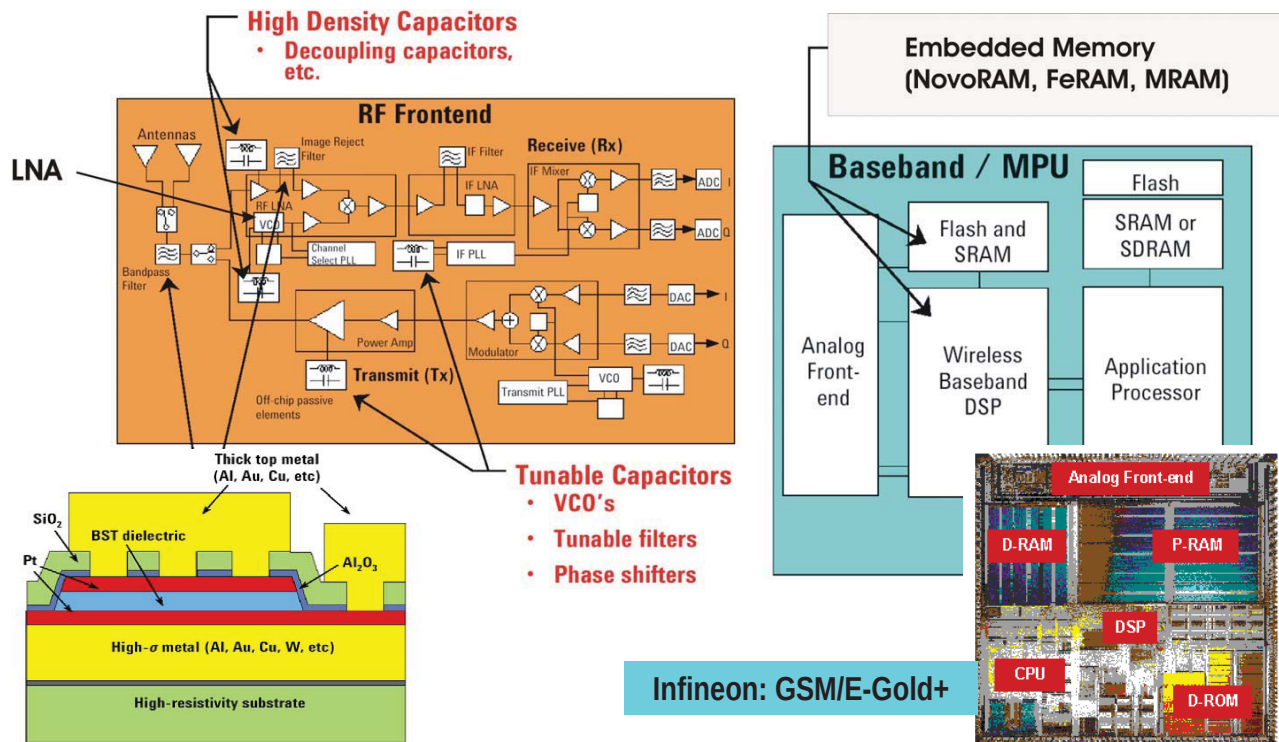


- Schwankungen der geometrische Abmessungen
- Schwankungen der Schichtdicken
- Fluktuationen der Dotierung
- Fluktuationen der Parameter
- Verlustleistung



FinFET Structure

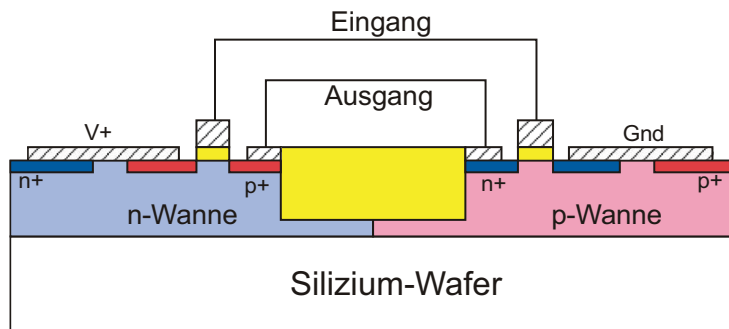




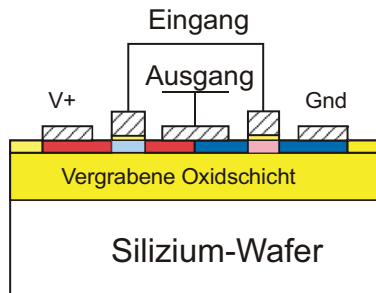
1. Verlustleistung
2. Integrationsdichte
3. Pegel der Ausgänge
 - Ausgangsspannungen von 0 V bis Versorgungsspannung
 - Rail-to-Rail
4. Symmetrie der zeitlichen Signalverläufe
5. Dynamische Schaltungen
6. BiCMOS
7. SiGe-CMOS



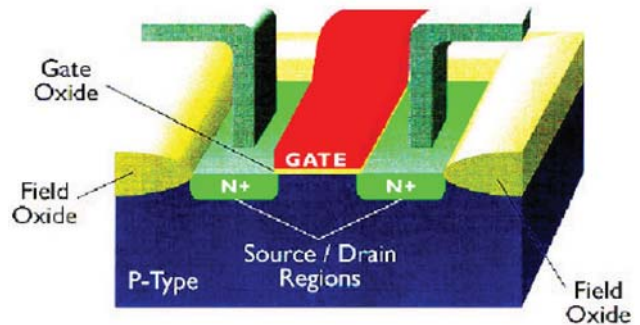
Der CMOS - Inverter



CMOS Inverter (Standard)

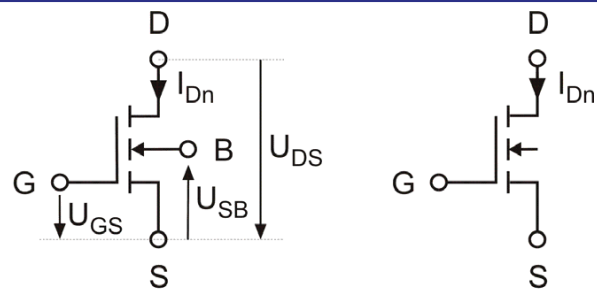


CMOS Inverter (SOI)

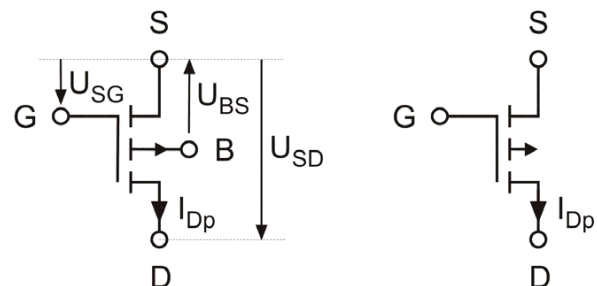


Basiskonzepte

n- und p-Kanal-Transistoren



(a) nMOS

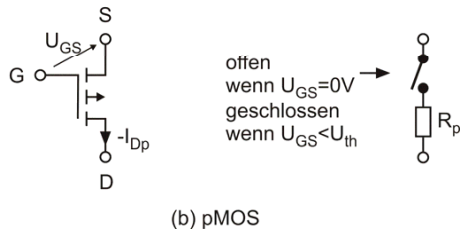
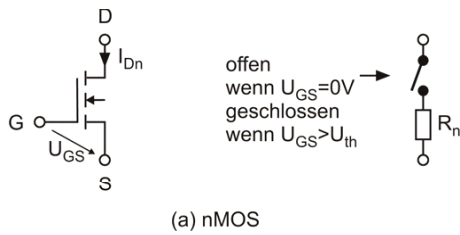


(b) pMOS

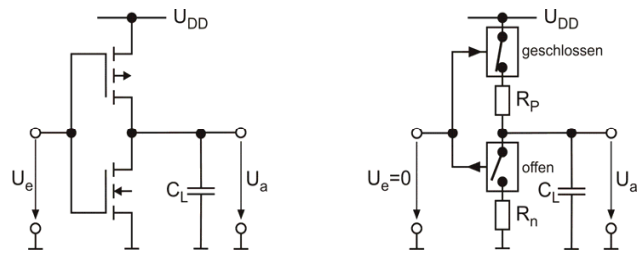


Schaltlogik mit CMOS

Schaltmodelle

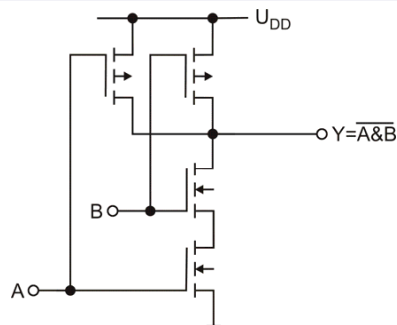


Schaltmodelle eines Inverters

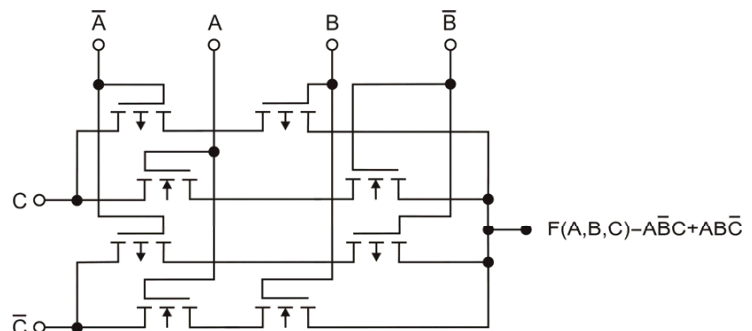


Schaltlogik mit CMOS

CMOS-NAND-Gatter

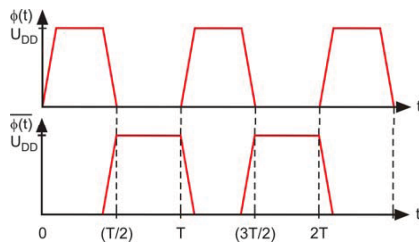


CMOS-Logik-Arrays

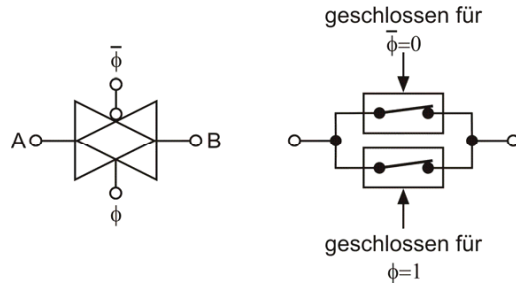


Transferrgatter

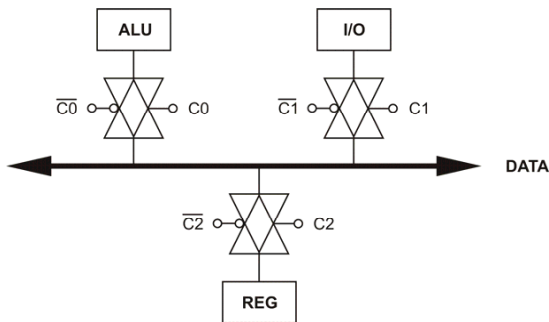
Systemtakt



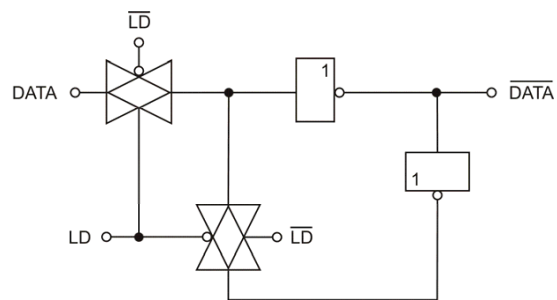
CMOS-Transferrgatter



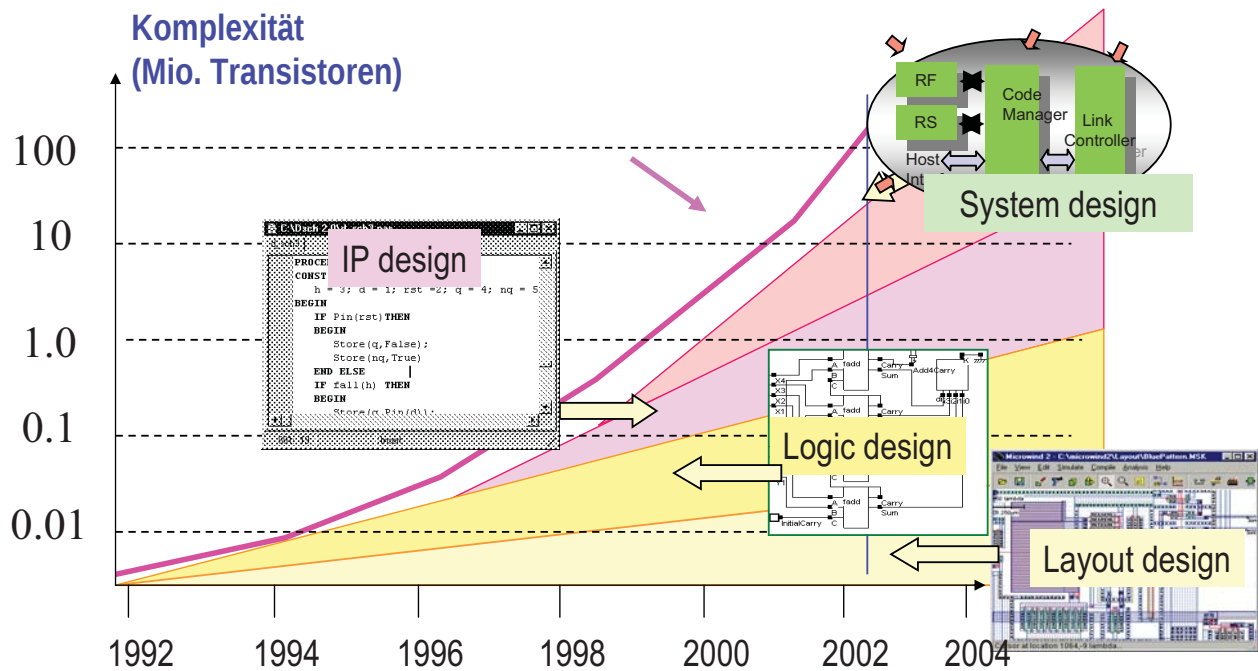
Datentransfer über einen Datenbus

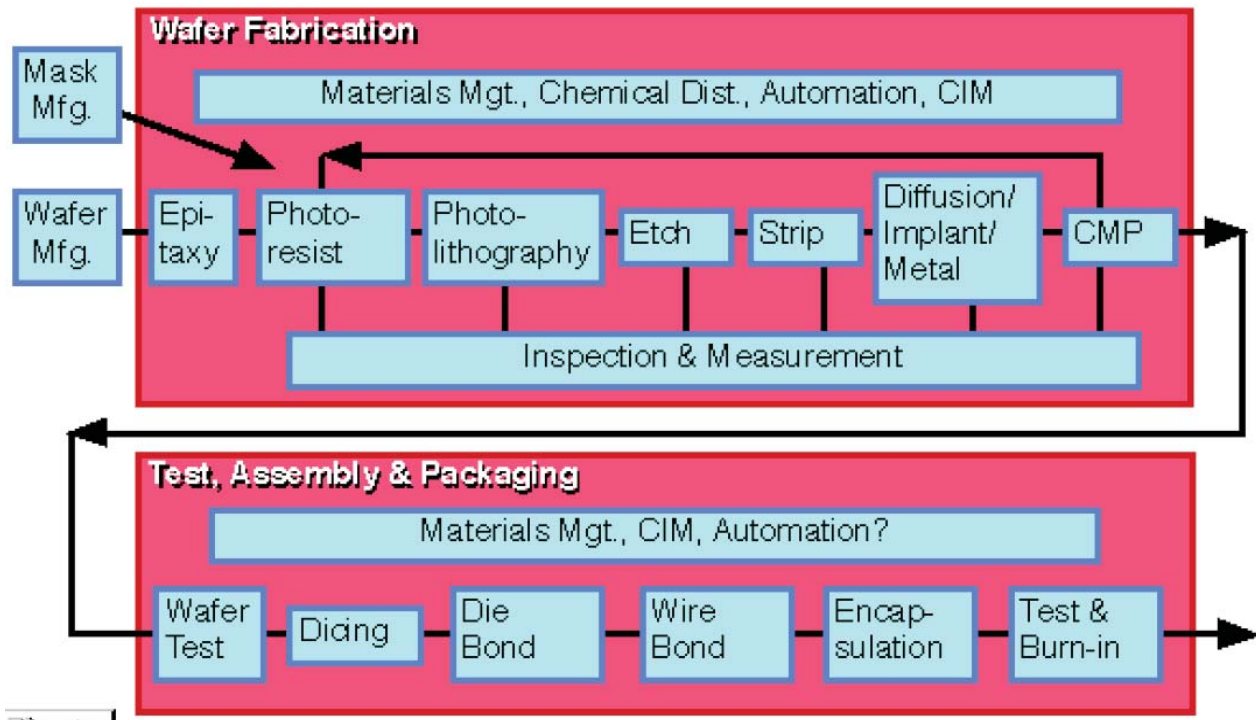


Datenspeicher mit Transferrgatter

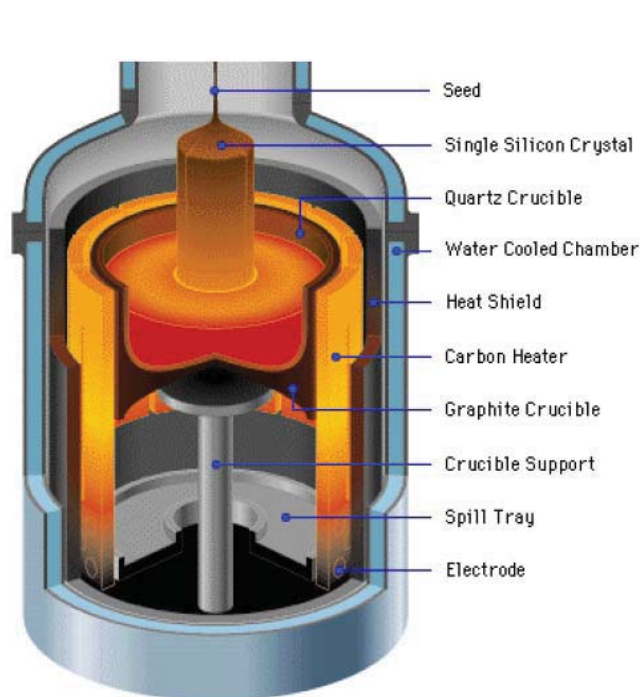


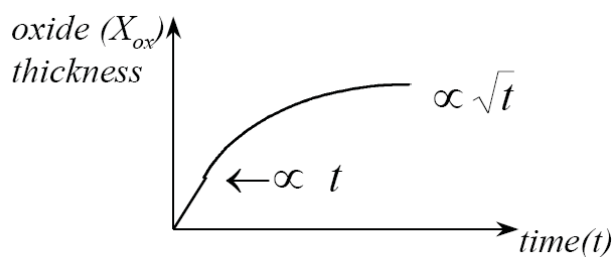
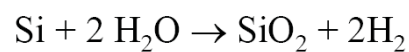
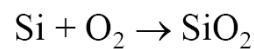
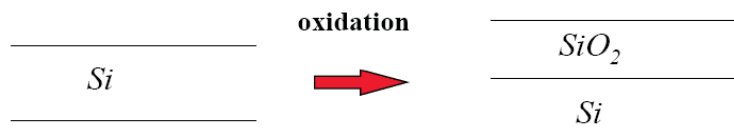
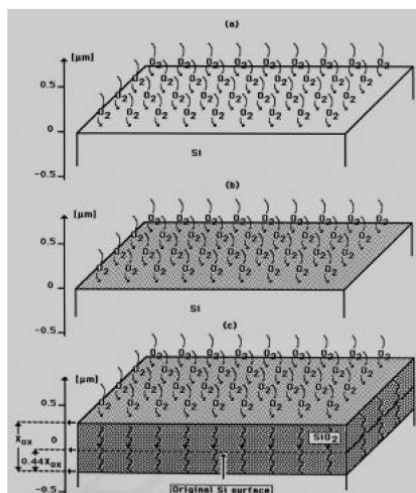
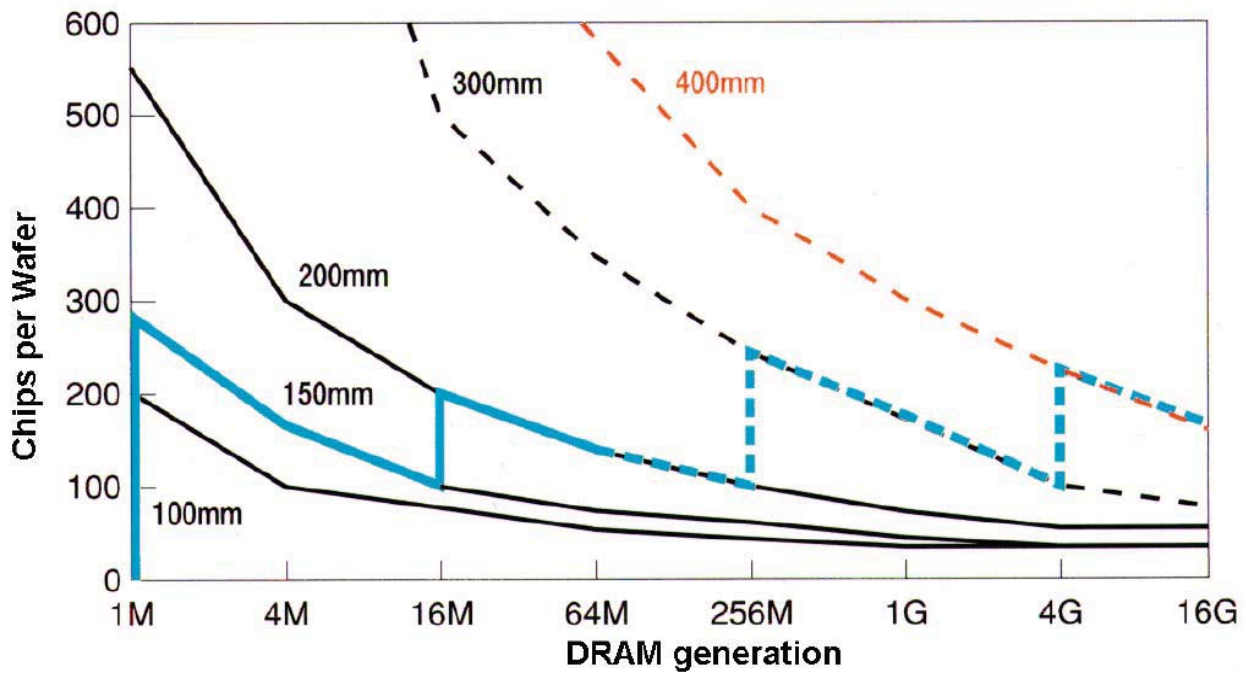
SoC - Design



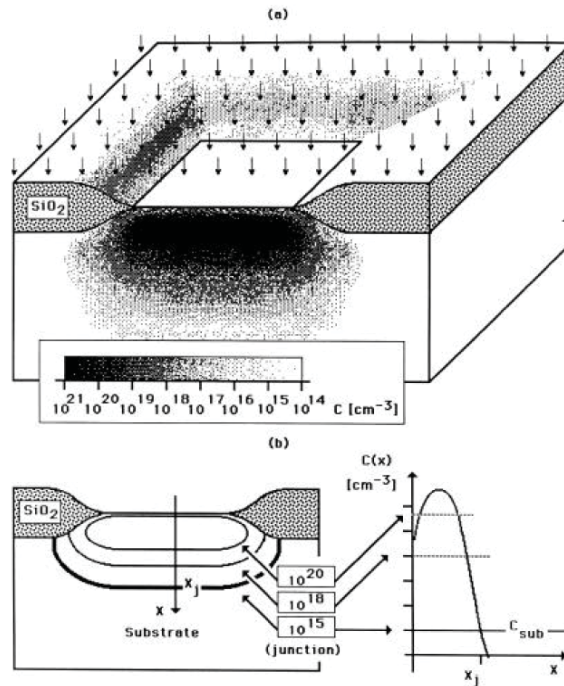


Waferherstellung – Chochralski Methode





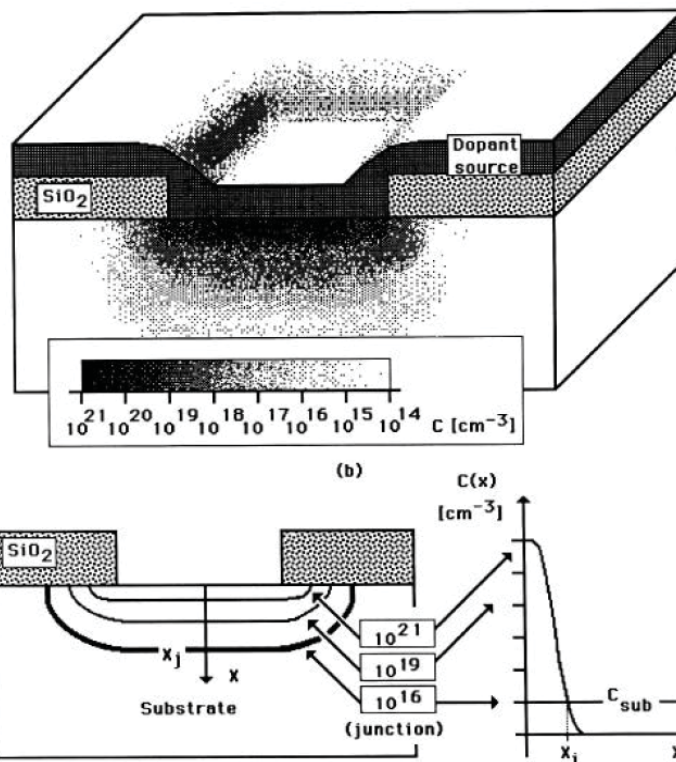
Ion Energy
~1 keV to
200 keV



900°C-1000°C

Tempern:

1. Elektrische Aktivierung der Dotanten
2. Ausheilung der Strahlendefekte

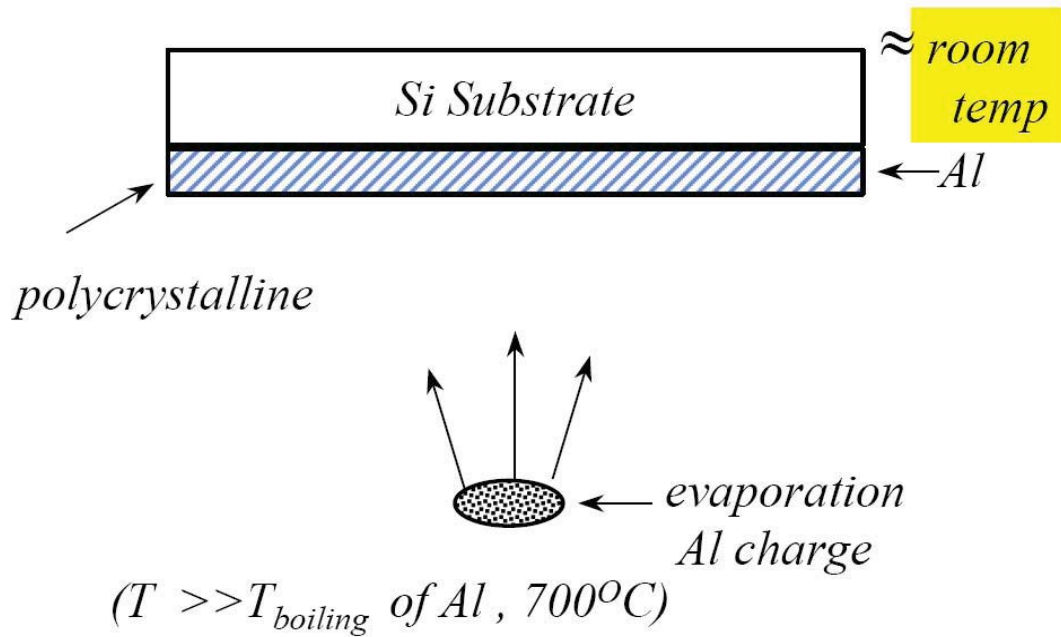


$$D = D_0 \cdot e^{-Q/kT}$$

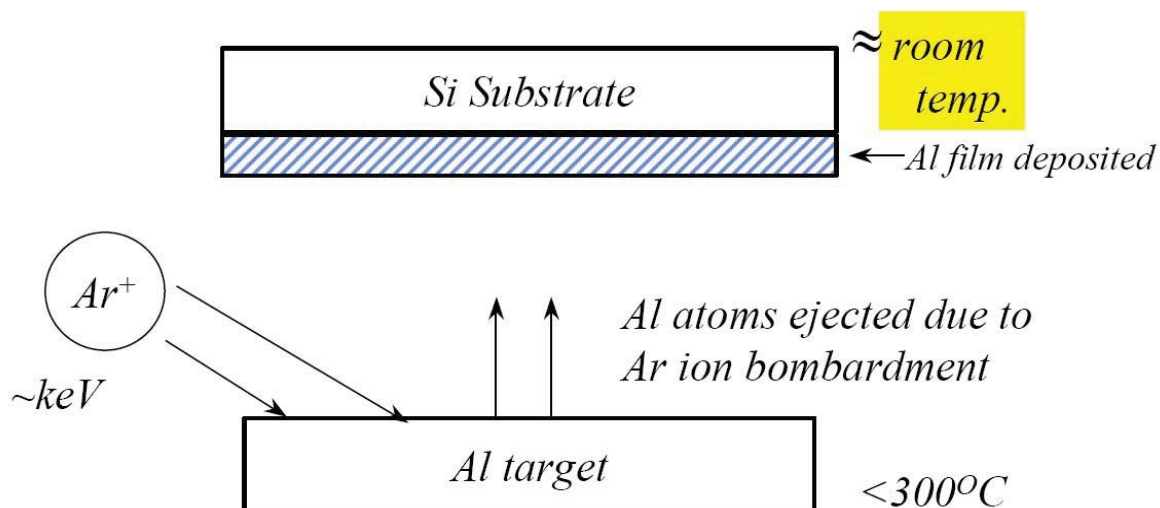
950-1200 °C



Herstellung dünner Schichten: Verdampfen

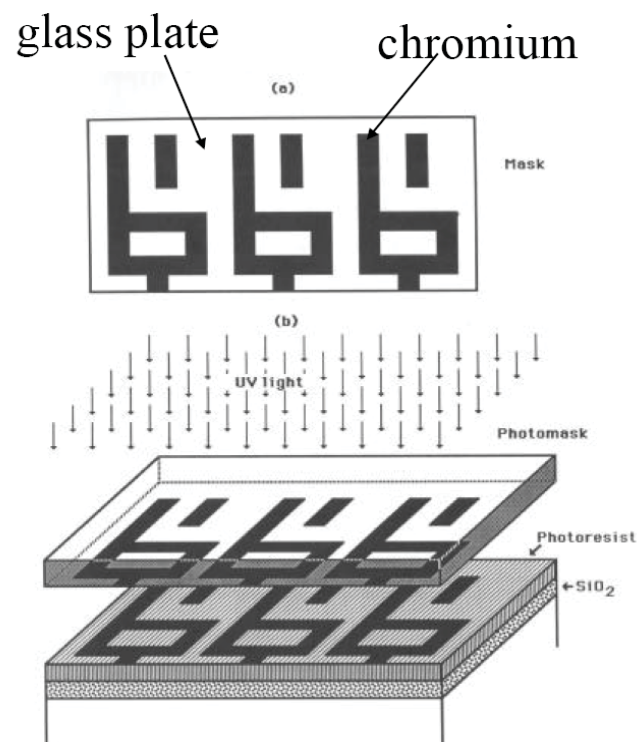
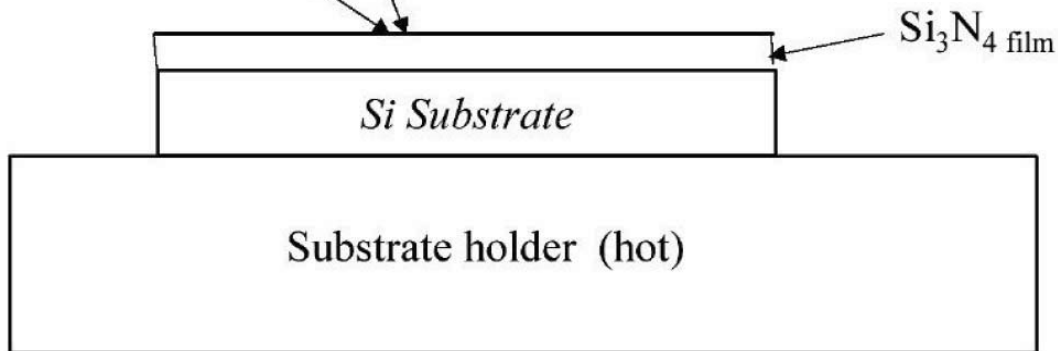


Herstellung dünner Schichten: Sputtern

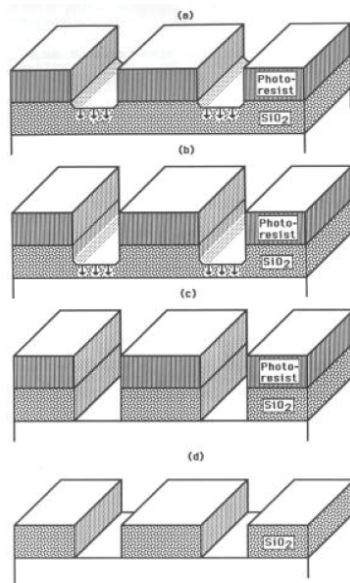


Processing Temperature
300-600°C

CVD, eg. of Si_3N_4



Processing Temperature
Ambient



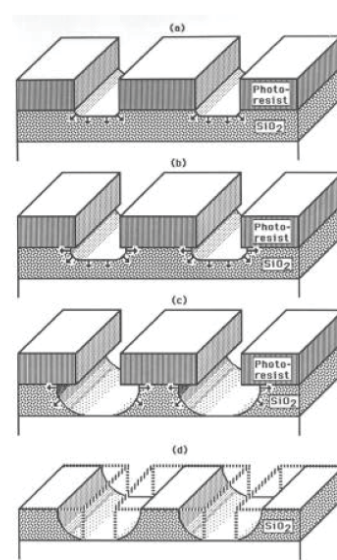
Pattern resist mask

Etching thin film

Etching completed

Remove resist mask

Anisotropic
(e.g. Reactive Ion Etching)



Isotropic
(e.g. Wet etching)



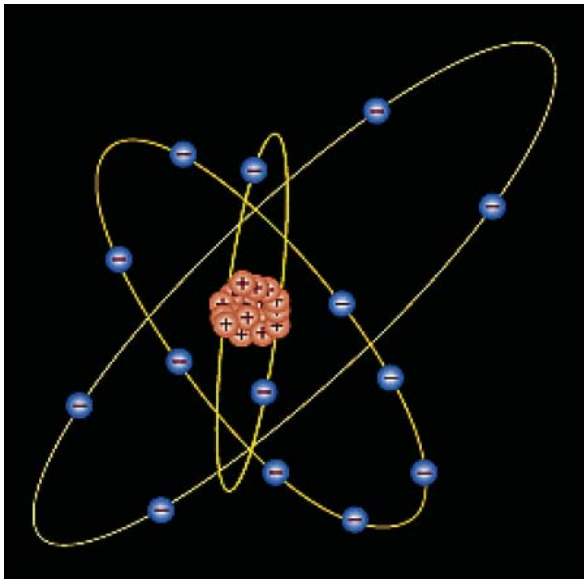
2. Silizium – Basismaterial der VLSI-Technologie

2. Silizium – Basismaterial der VLSI-Technologie

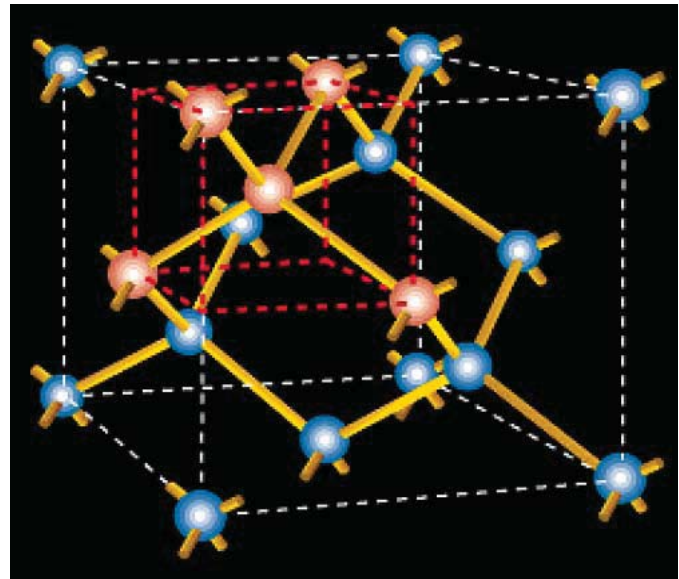
- 2.1. Eigenschaften von Si
- 2.2. Bandstruktur und Ladungsträger von Si
- 2.3. pn-Übergänge



2.1. Eigenschaften von Silizium



Si – Atom



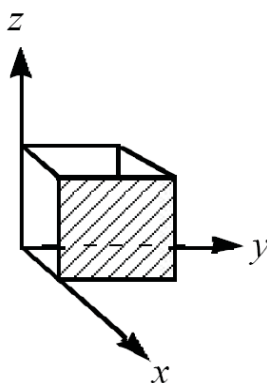
Si - Kristall

⇒ Einheitszelle von Si ist kubisch.

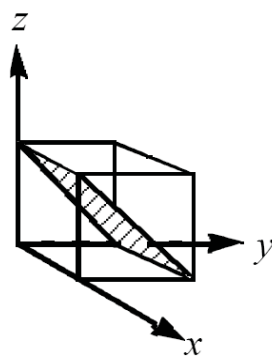
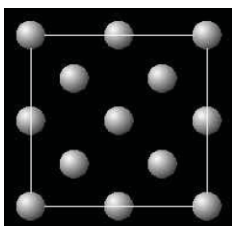
⇒ Jedes Si-Atom hat 4 unmittelbare Nachbarn.



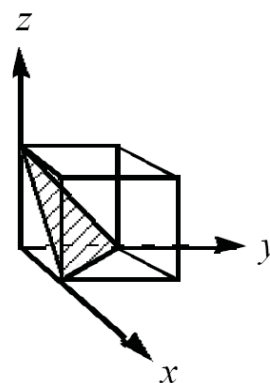
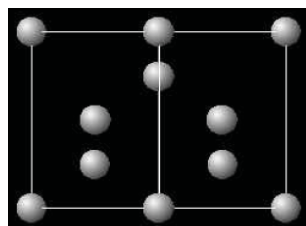
Kristallografische Ebenen



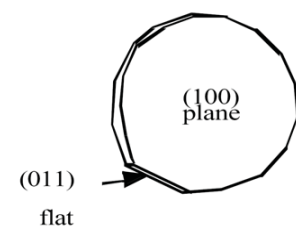
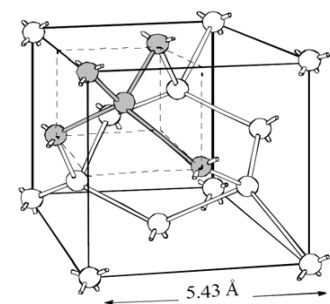
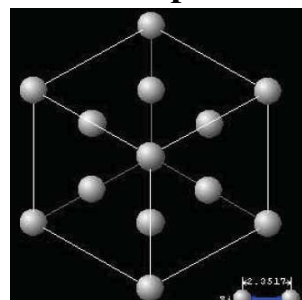
(100)
plane



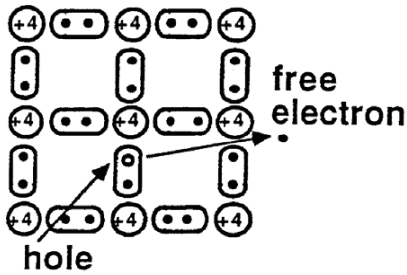
(011)
plane



(111)
plane



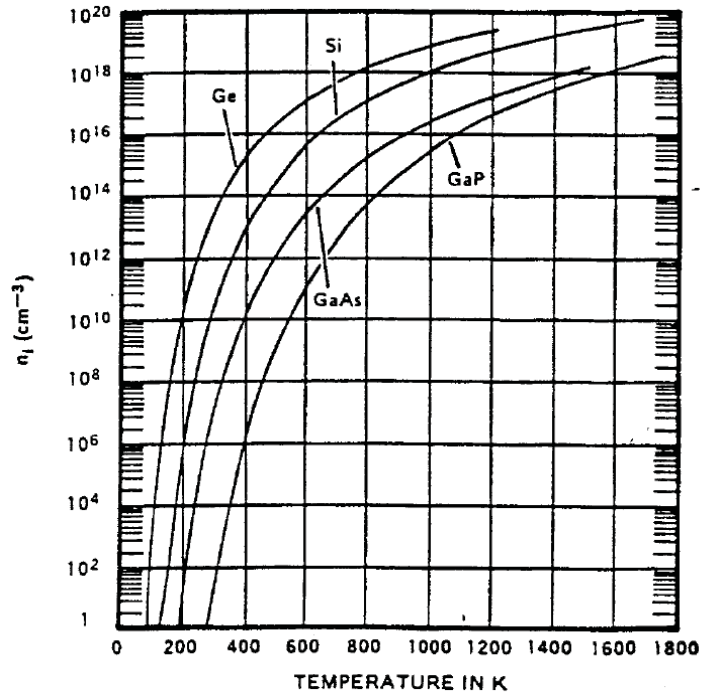
Intrinsisches Silizium



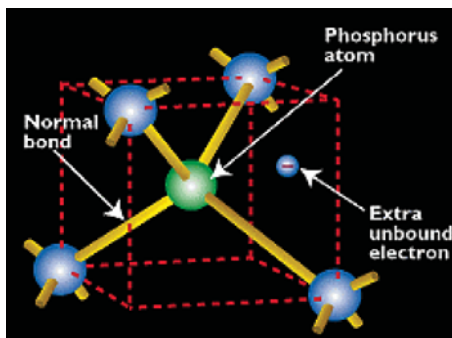
Si:

$$n_i = 3.9 \times 10^{16} T^{3/2} e^{-\frac{0.605\text{eV}}{kT}} / \text{cm}^3$$

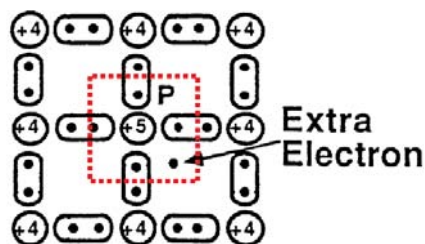
$n_i(\text{Si}) \approx 1.5 \cdot 10^{10} \text{ cm}^{-3}$
bei Raumtemperatur



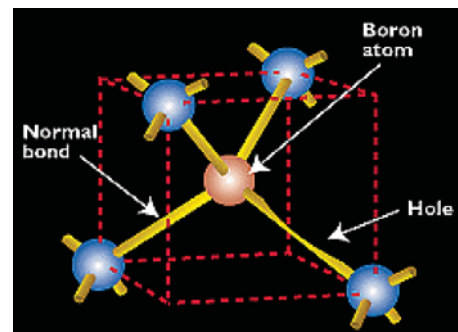
Dotierung



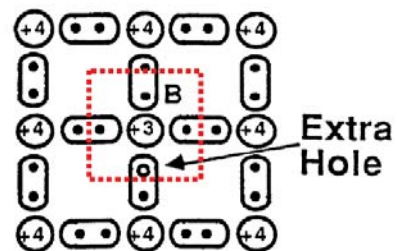
n – Dotierung
Donatoren: **P, As, Sb**



Donor



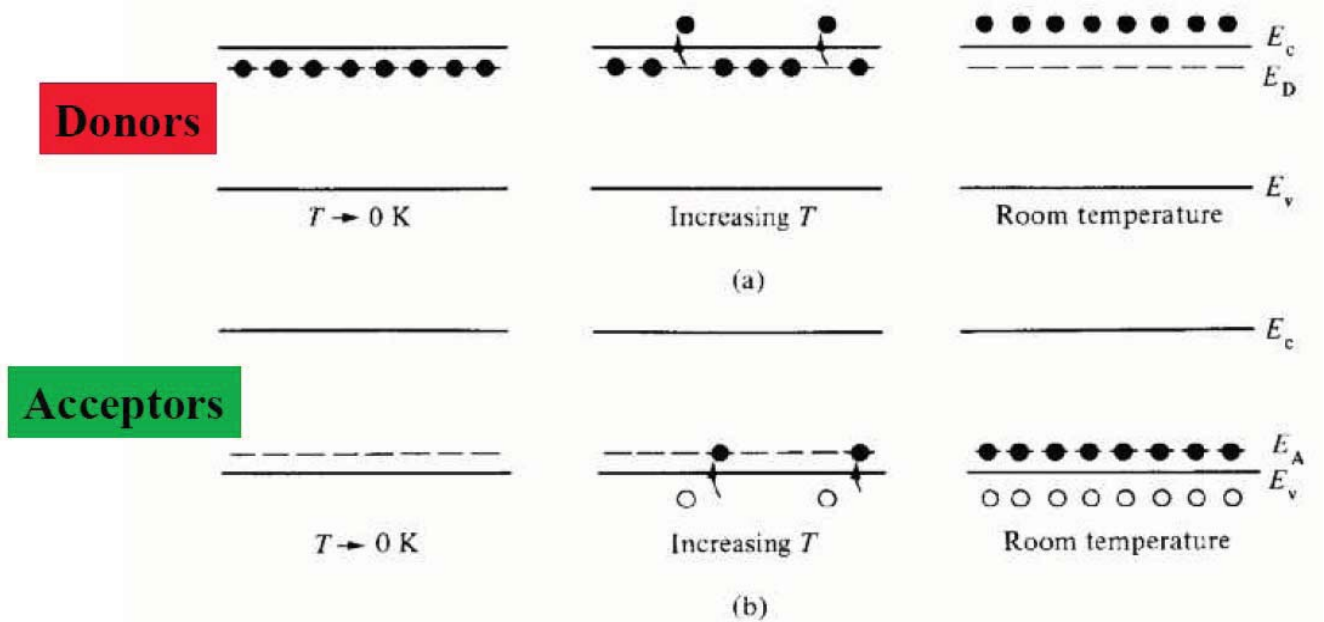
p – Dotierung
Akzeptoren: **B, (Al, Ga)**



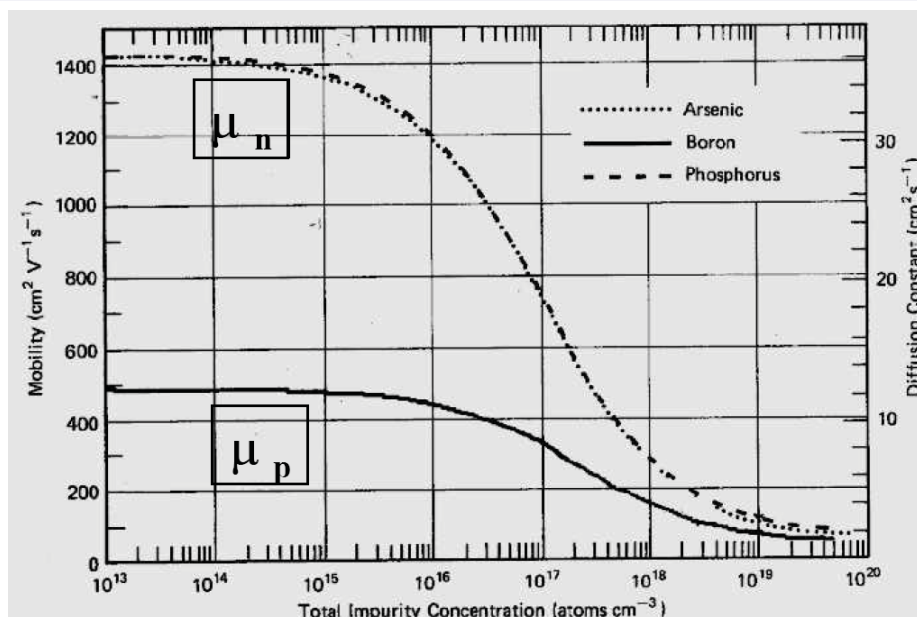
Acceptor



2.2. Bandstruktur



Beweglichkeit der Ladungsträger



Elektronenstromdichte

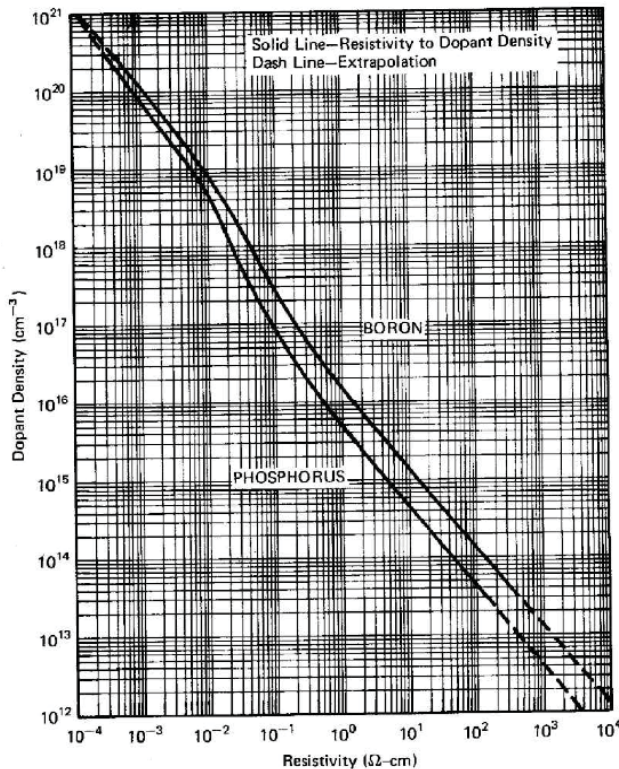
$$J_n = (-q)nv = qn\mu_n E$$

Löcherstromdichte

$$J_p = (+q)pv = qp\mu_p E$$



Spezifischer Widerstand von Si



Spezifischer Widerstand:

$$\rho = 1 / (qn\mu_n + qp\mu_p)$$

$$\approx 1 / qp\mu_p \text{ for p-type}$$

$$\approx 1 / qn\mu_n \text{ for n-type}$$

B - Dotierung

$$N_A = 10^{15}/\text{cm}^3, N_D = 0, \mu_p = 470 \text{ cm}^2/\text{volt-sec}$$

$$p \approx 10^{15}/\text{cm}^3, n \approx 2 \times 10^5/\text{cm}^3$$

$$1 / (qn\mu_n + qp\mu_p) \approx 1 / qp\mu_p \\ = 1 / (1.6 \text{ E-}19 \times 1\text{E}15 \times 470) = 13.3 \, \Omega \text{-cm}$$

As - Dotierung

$$N_A = 10^{15}/\text{cm}^3, N_D = 10^{17}/\text{cm}^3, \mu_n = 720 \text{ cm}^2/\text{volt-sec}$$

$$n \approx 10^{17}/\text{cm}^3, p \approx 2 \times 10^3/\text{cm}^3$$

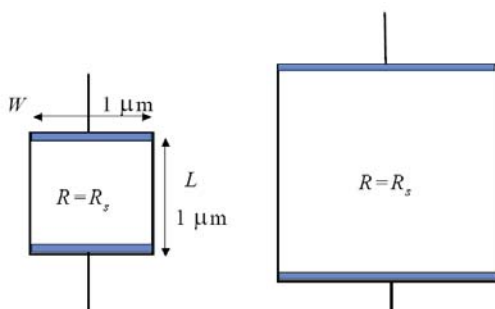
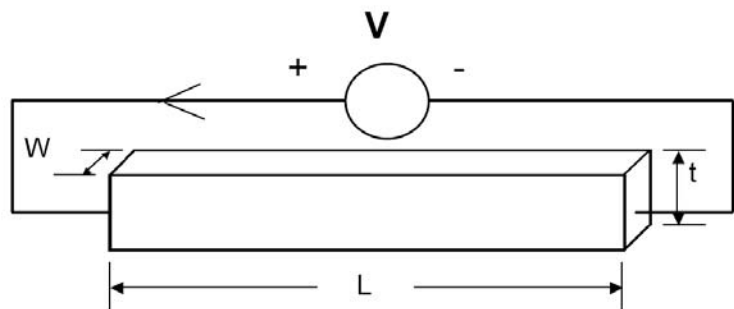
$$1 / (qn\mu_n + qp\mu_p) \approx 1 / qn\mu_n = \\ = 1 / (1.6 \text{ E-}19 \times 1\text{E}17 \times 720) = 0.087 \, \Omega \text{-cm}$$



Widerstand

$$R = \rho L / (W t)$$

ρ - spezifischer Widerstand



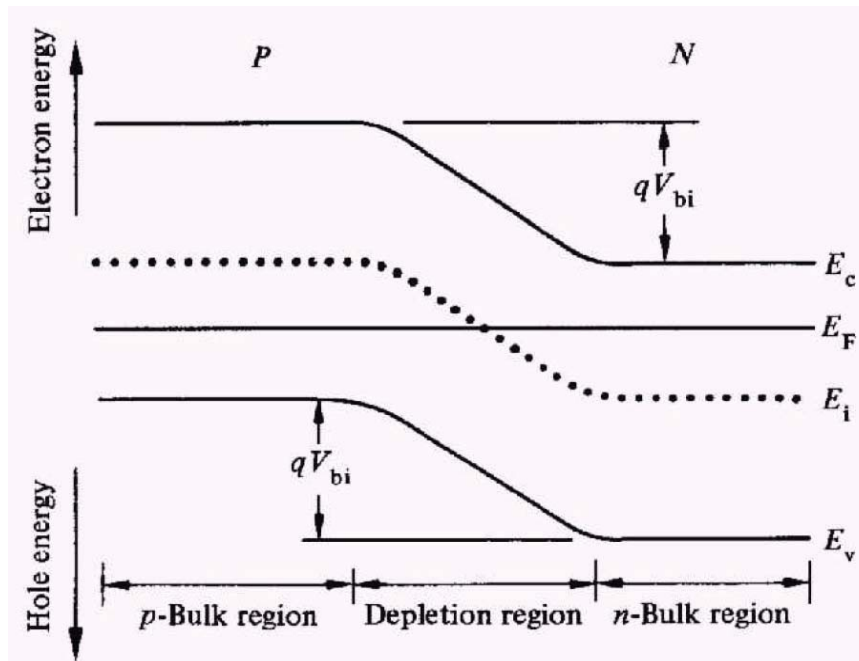
Sheet resistance (für W=L):

$$R_s \equiv \rho / t$$

$$R = R_s \cdot \frac{L}{W}$$

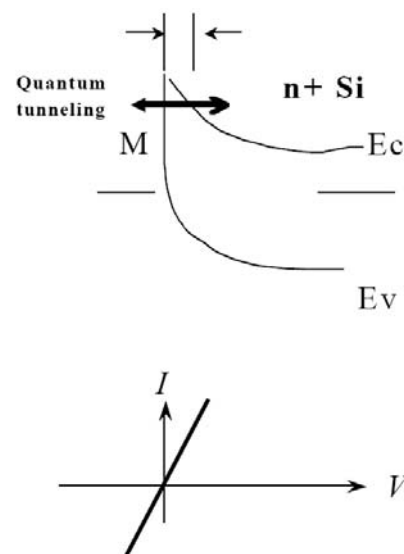
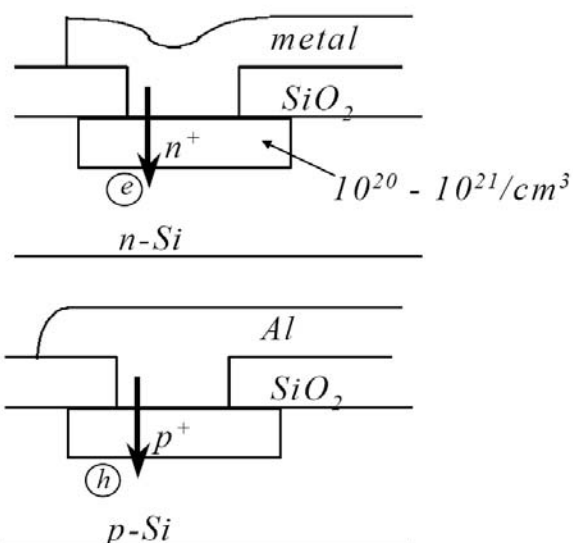


2.3. pn-Übergang

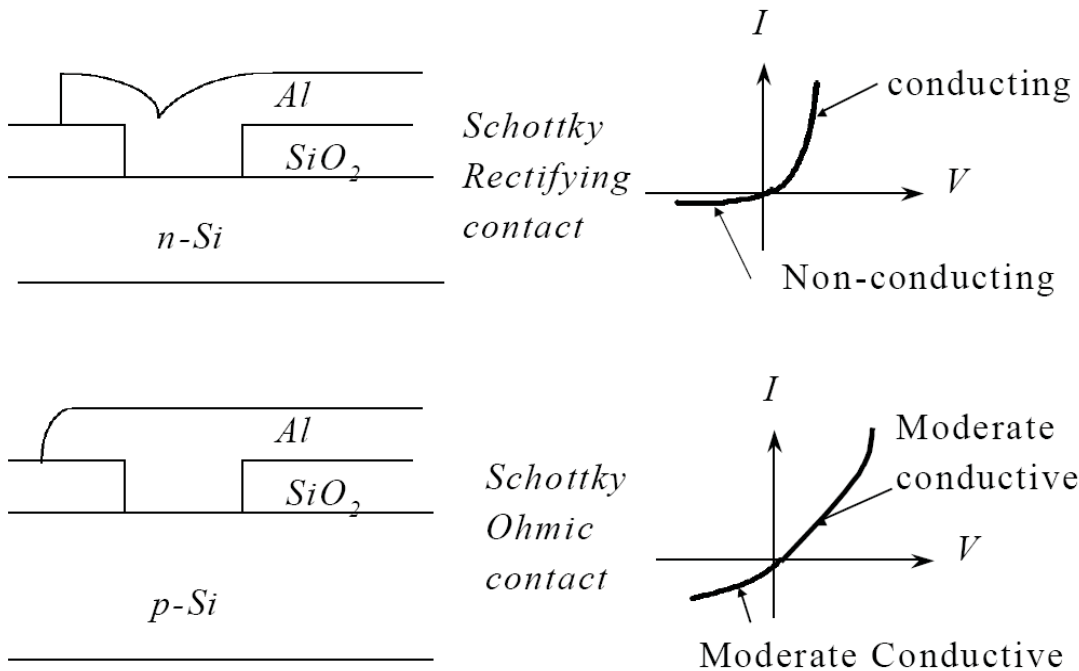


Kontakte zum Silizium (I)

1. „Ohmsche“ Kontakt oder Tunnelkontakt



2. Schottky - Kontakt



3. Grundlagen der Herstellung von IC

- 3. Grundlagen der Herstellung integrierter Schaltkreise
 - 3.1 Thermische Oxidation von Si
 - 3.2. Ionenimplantation
 - 3.3. Diffusion
 - 3.2 Herstellung dünner Schichten
 - 3.3 Lithographie
 - 3.4 Strukturierung



Eigenschaften von SiO₂ (I)

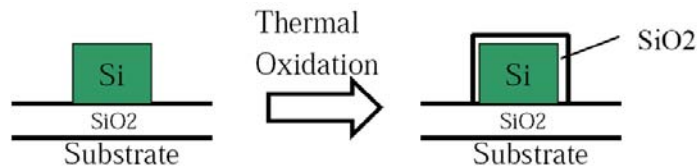
1. Thermisches SiO₂ ist amorph.

- Massendichte: 2.2 g/cm³
- Molekulare Dichte: 2.3·10²² Moleküle/cm³

2. Kristallines SiO₂ (Quartz) hat Dichte von 2.65 g/cm³.

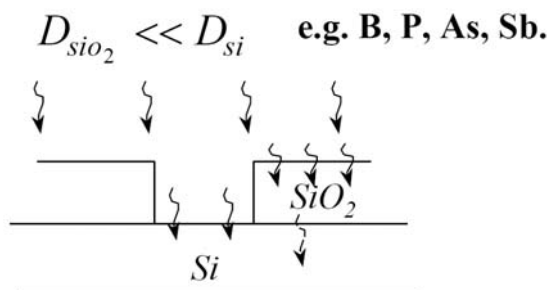
Elektrische Eigenschaften:

- sehr guter Isolator: $\rho > 10^{20} \Omega \cdot \text{cm}$
- Energielücke: 9 eV
- Durchschlagfeldstärke: > 10 MV/cm
- Stabile und reproduzierbare Grenzfläche zum Si
- Konformes Wachstum auf Si-Oberflächen

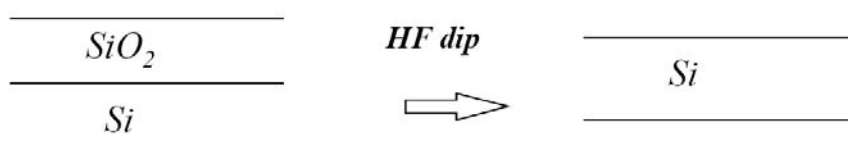


Eigenschaften von SiO₂ (II)

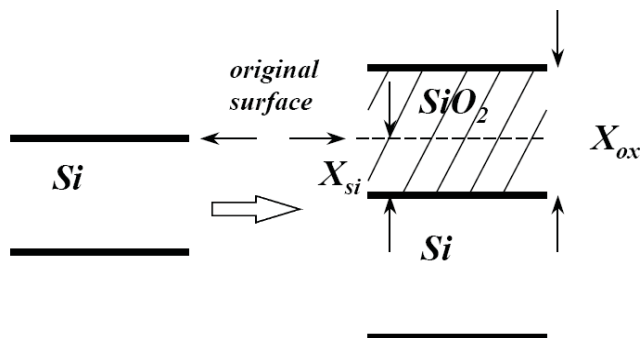
3. SiO₂ ist eine sehr gute Diffusionsmaske.



4. SiO₂ hat eine sehr hohe Ätzselektivität zu Si.



Wachstum von SiO_2



1 μm Si oxidized



2.17 μm SiO_2

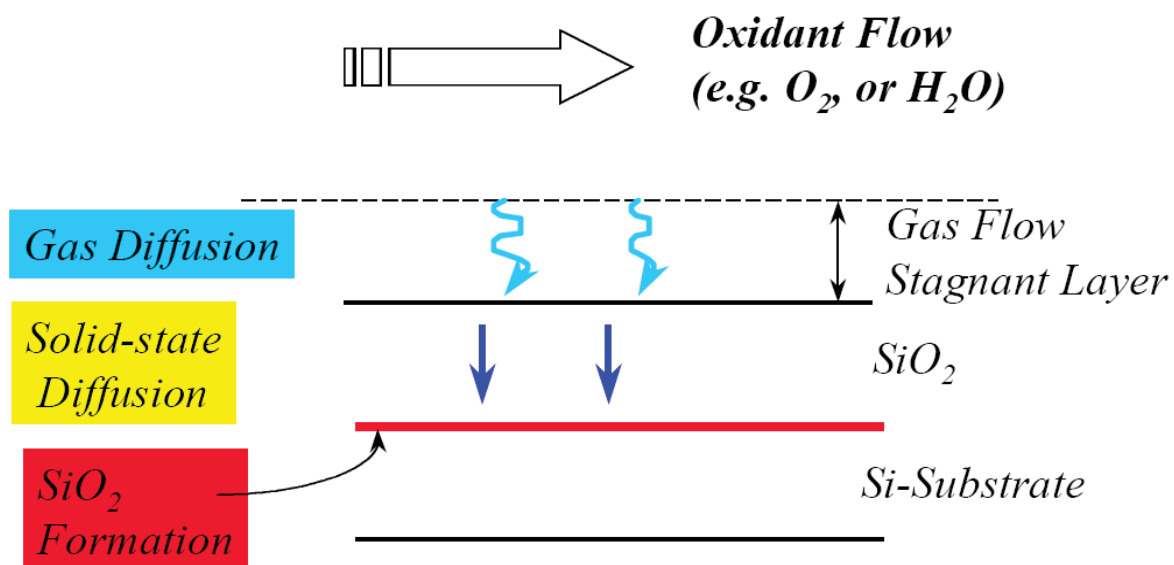
$$X_{si} = X_{ox} \cdot \frac{N_{ox}}{N_{si}}$$

N_{ox} ← molecular density of SiO_2
 N_{si} ← atomic density of Si

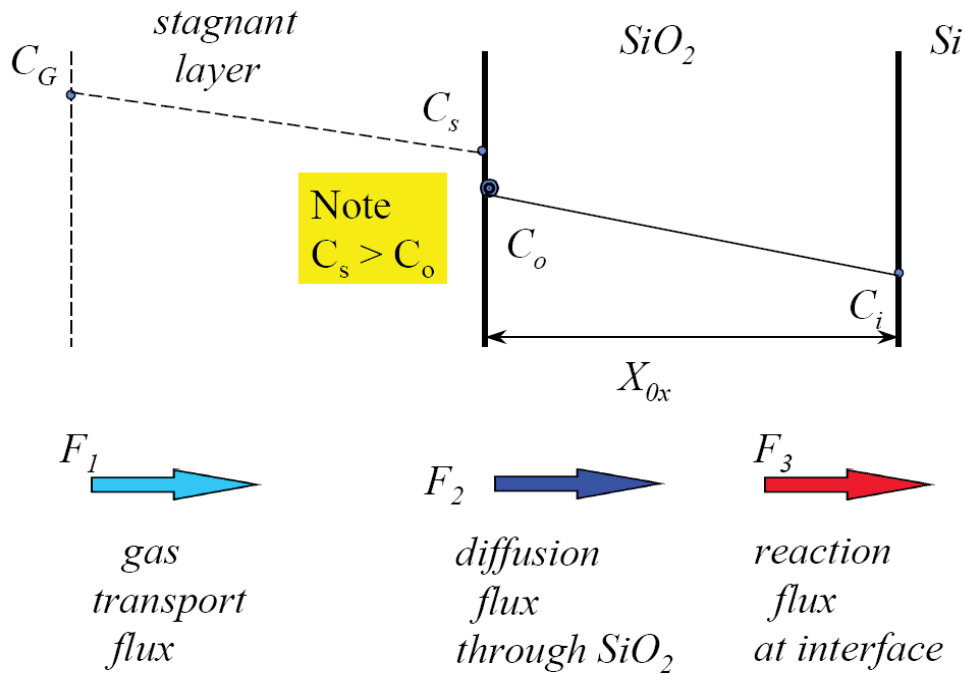
$$= X_{ox} \cdot \frac{2.3 \times 10^{22} \text{ molecules / cm}^3}{5 \times 10^{22} \text{ atoms / cm}^3} = 0.46 X_{ox}$$



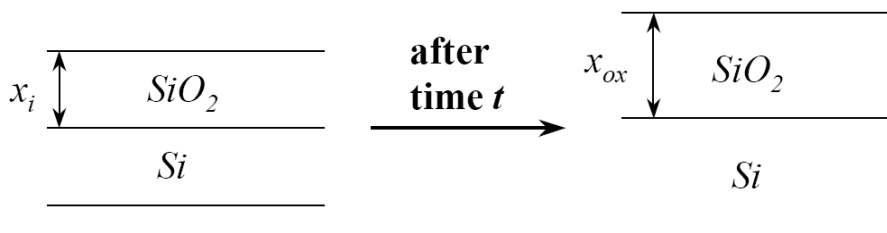
Kinetik des SiO_2 Wachstums



Deal-Grove Modell (I)



Deal-Grove Modell (II)



$$F_2 = -D \frac{\partial C}{\partial x}$$

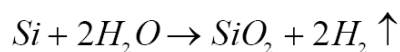
Lösung:

$$X_{ox}^2 + AX_{ox} = B(t + \tau)$$

$$N_1 = 2.3 \times 10^{22} / cm^3$$

$$Si + O_2 \rightarrow SiO_2$$

$$N_1 = 4.6 \times 10^{22} / cm^3$$



$$A \equiv 2D \left(\frac{1}{k_s} + \frac{1}{h} \right)$$

$$B \equiv \frac{2DC_A}{N_1}$$

$$\tau = \frac{X_i^2 + AX_i}{B}$$



Deal-Grove Modell (III)

$$X_{ox} = \frac{A}{2} \left\{ \sqrt{1 + \left(\frac{t + \tau}{A^2/4B} \right)} - 1 \right\}$$

Fall 1: Lange Oxidation (große Oxiddicke)

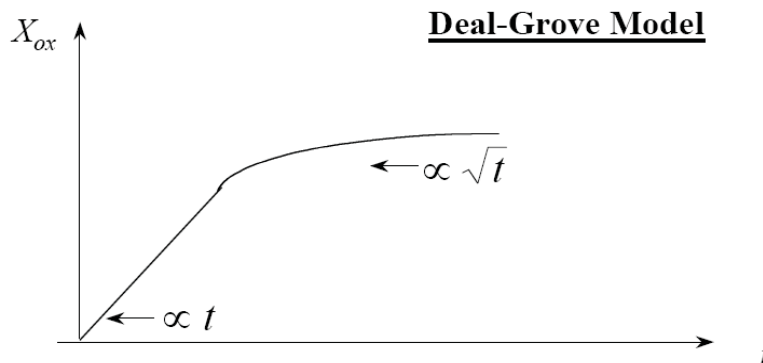
$$X_{ox} \rightarrow \sqrt{Bt}$$

Fall 2: schnelle Oxidation (kleine Oxiddicke)

$$X_{ox} \rightarrow \frac{B}{A} t$$



Deal-Grove Modell (III)



$$X_{ox}^2 + AX_{ox} = B(t + \tau)$$

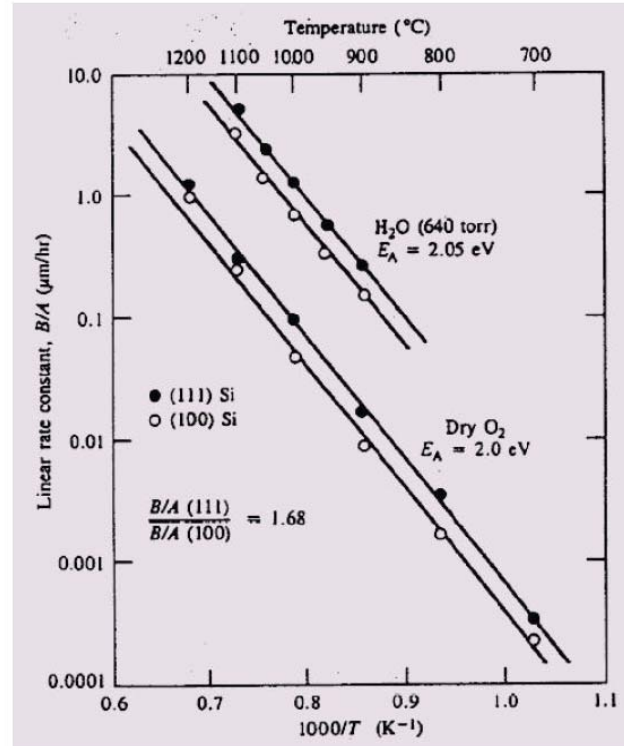
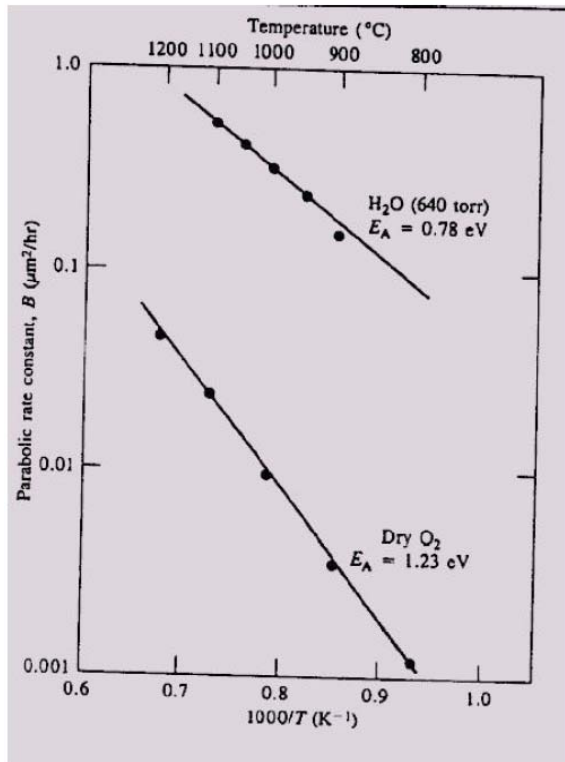
$$2X_{ox} \frac{dx_{ox}}{dt} + A \frac{dx_{ox}}{dt} = B$$

$$\therefore \frac{dx_{ox}}{dt} = \frac{B}{A + 2X_{ox}}$$

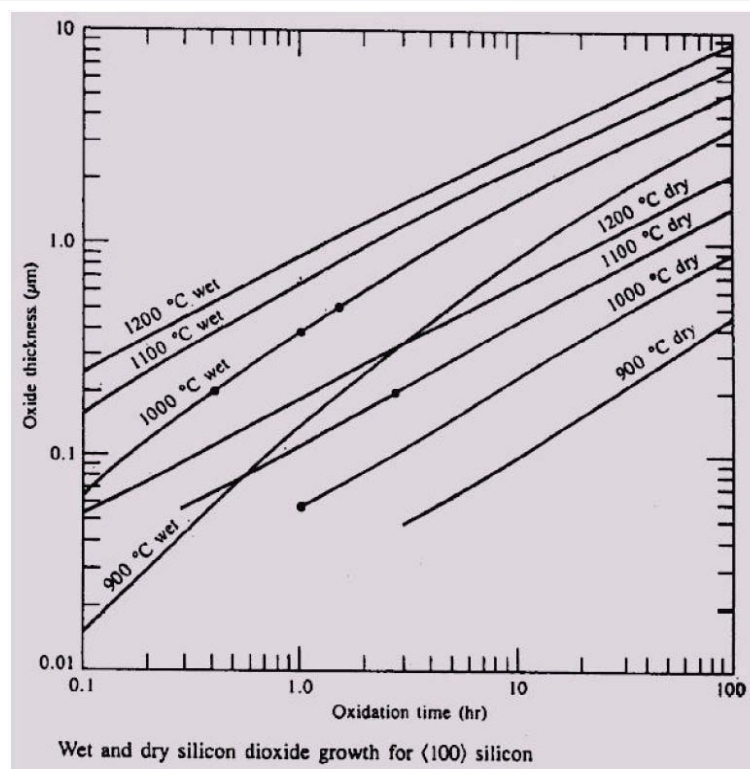
Wachstumsrate des Oxids nimmt zunehmender Oxidschichtdicke ab.



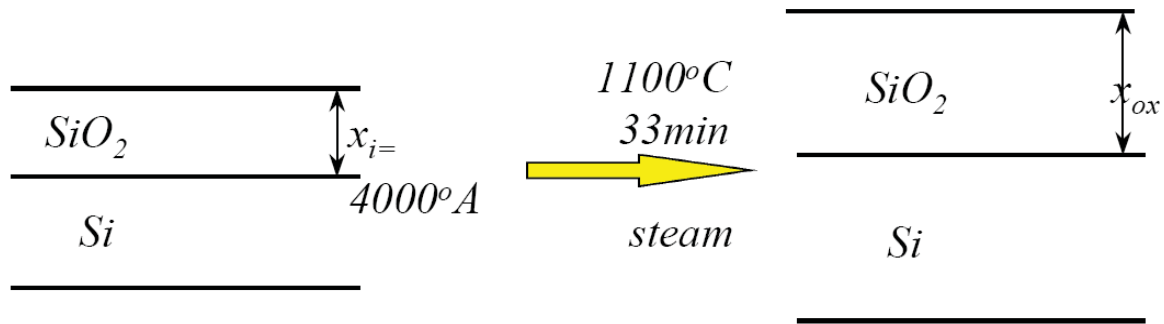
Oxidationskonstanten



Oxidationskurve



Berechnung der Oxiddicke (I)



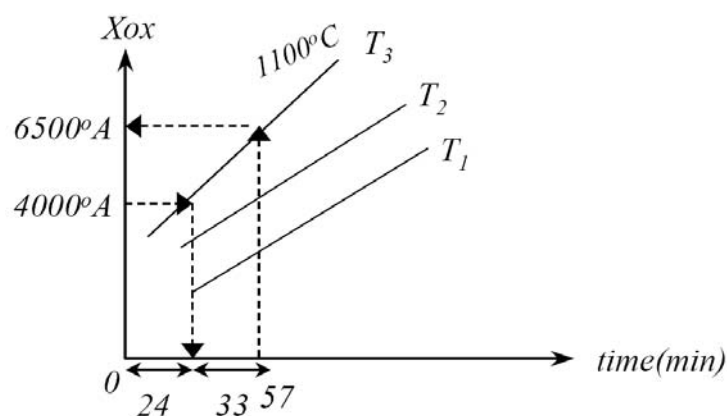
Methode 1: Bestimme B und B/A von Grafiken und löse die Gleichung

$$X_{ox}^2 + AX_{ox} = B(t + \tau)$$



Berechnung der Oxiddicke (II)

Methode 2: Bestimmung mit Oxidationskurven



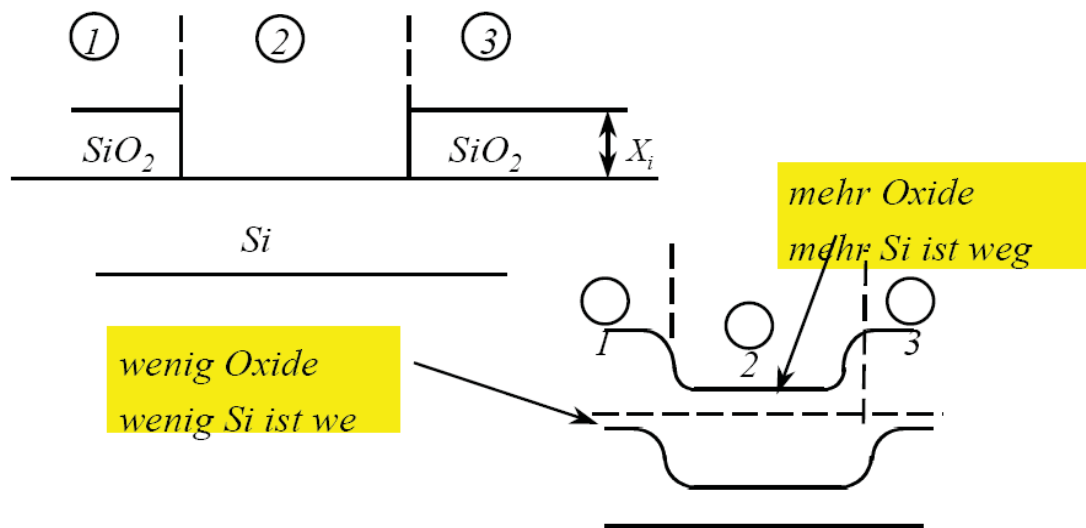
$$X_i = 4000 \text{ Å} \Rightarrow \tau = 24 \text{ min}$$

$\therefore$ Gesamtoxidationszeit

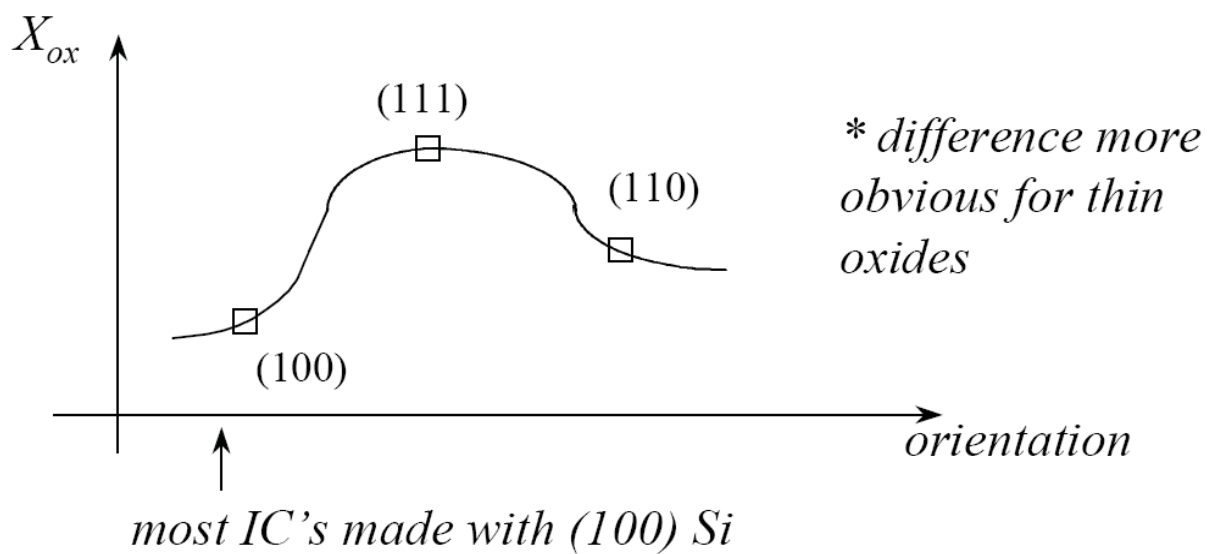
$$(24 + 33) \text{ min} = 57 \text{ min} \quad \text{bei } X_i = 0$$



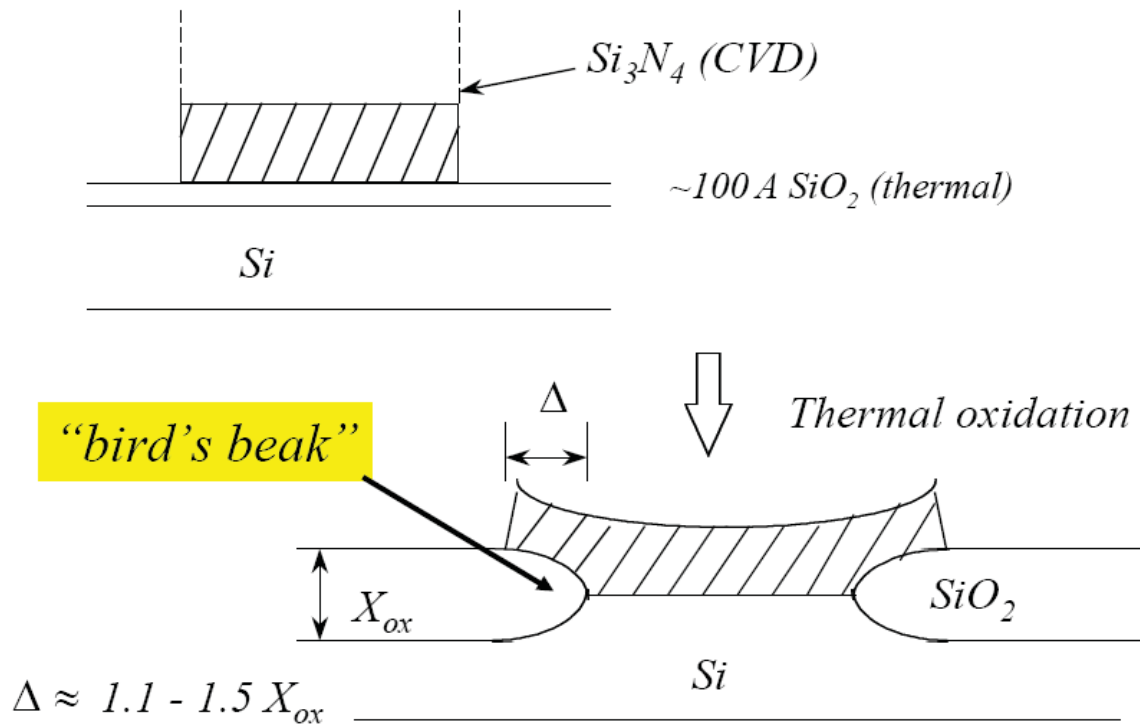
Einfluss auf Wafertopologie



Abhängigkeit von Si-Orientierung

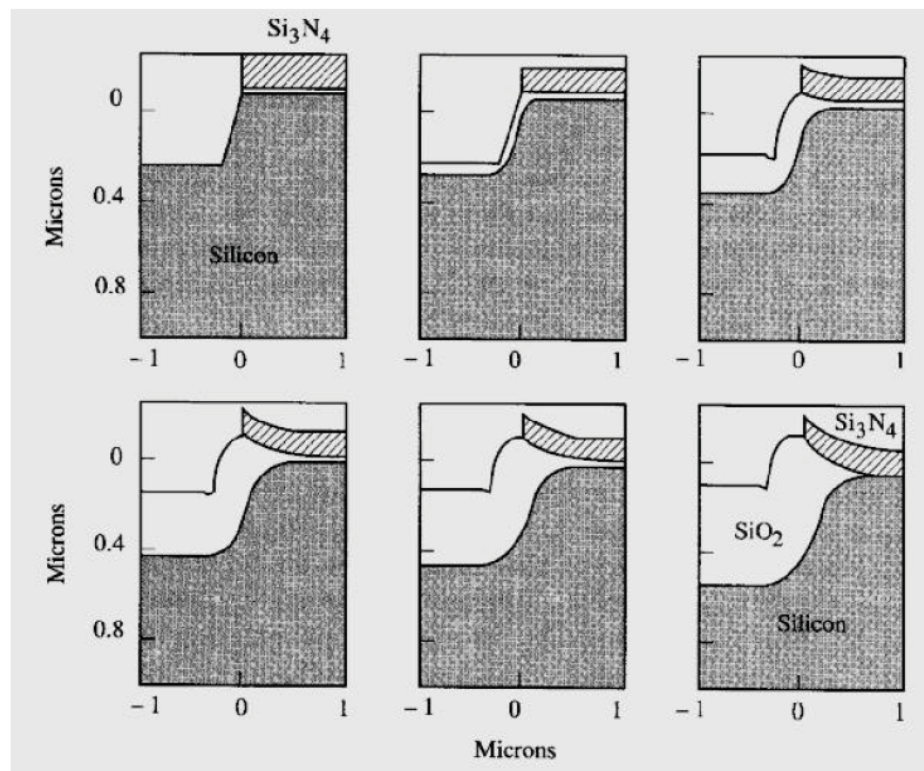


Lokale Oxidation (LOCOS)



Lokale Oxidation (LOCOS) - Simulation

1000C,
90 min
in H₂O



3. Grundlagen der Herstellung integrierter Schaltkreise

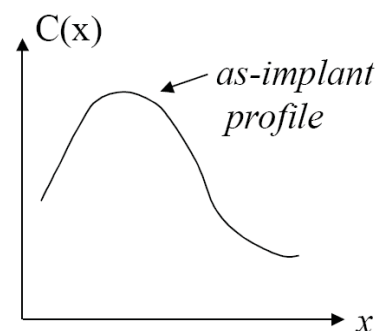
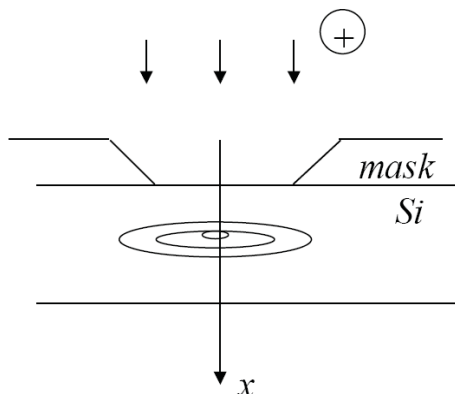
- 3.1. Thermische Oxidation von Si
- 3.2. Ionenimplantation
- 3.3. Diffusion
- 3.4. Herstellung dünner Schichten
- 3.5. Lithographie
- 3.6. Strukturierung



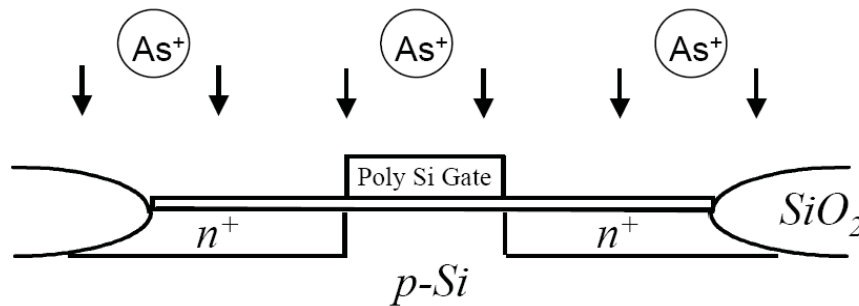
3.2. Ionenimplantation

Vorteile der Ionenimplantation:

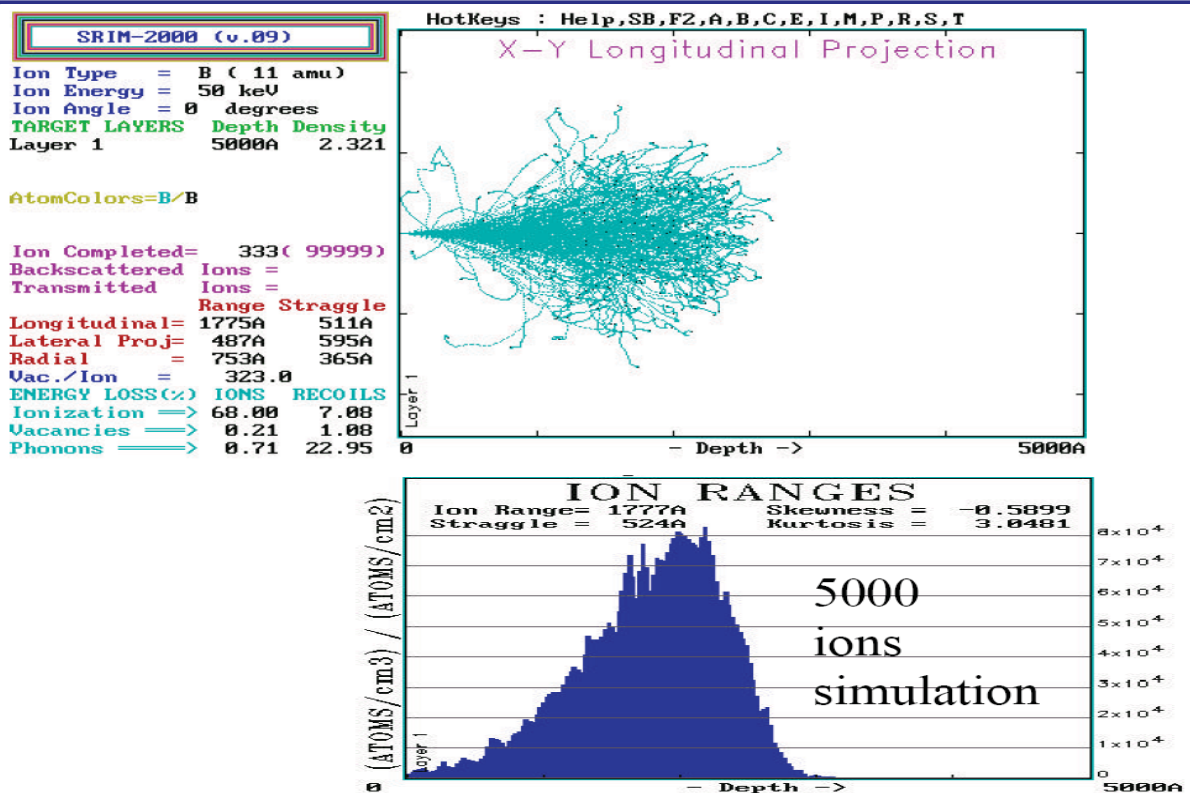
- Präzise Dotierung von Silizium
- Geringe thermische Belastung
- Exakte Kontrolle der Dosis und Tiefenprofile
- Große Auswahl verschiedener Maskenmaterialien
- Hohe laterale Homogenität über den Wafer (< 1% über 8"-wafer)



Selbstjustierender Prozeß zur Herstellung der Source- und Drain-Bereiche.

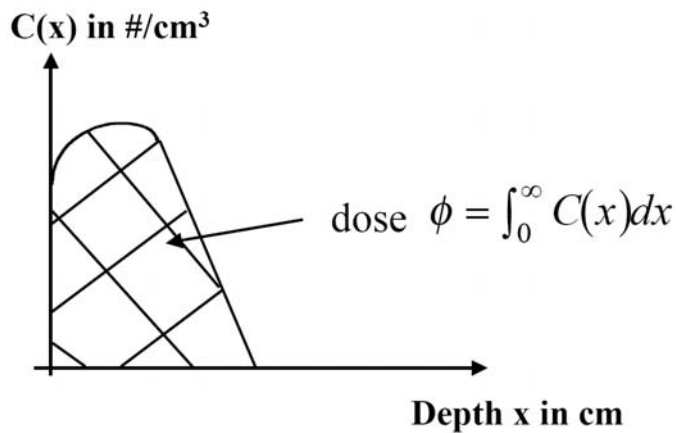


Monte-Carlo Simulation von 50 KeV B in Si

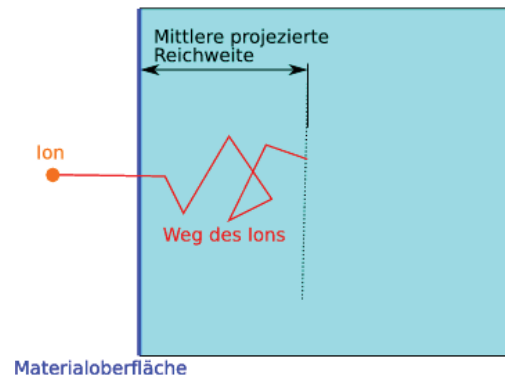


Aussagen der Simulation (I)

1. Tiefe und Profil der Ionenverteilung sind Funktion der Ionenenergie.
2. Peakhöhe (Konzentration) ist Funktion der Implantationsdosis.

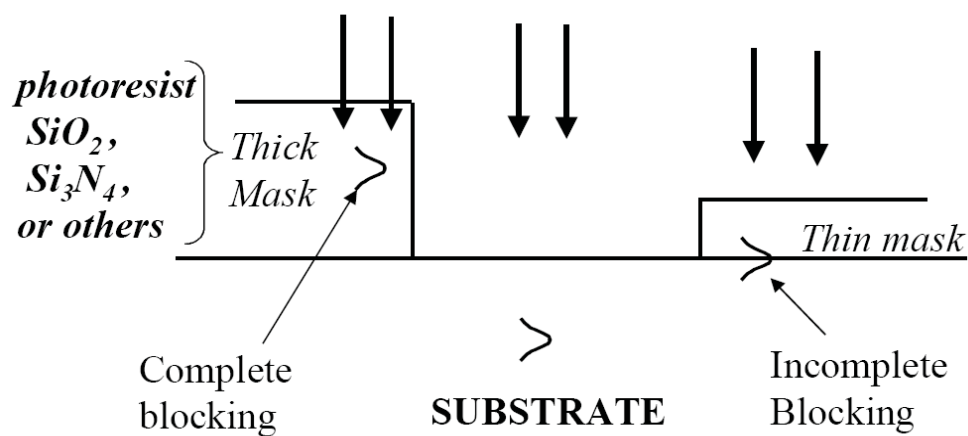


[Conc] = # of atoms/ cm^3
[dose] = # of atoms/ cm^2

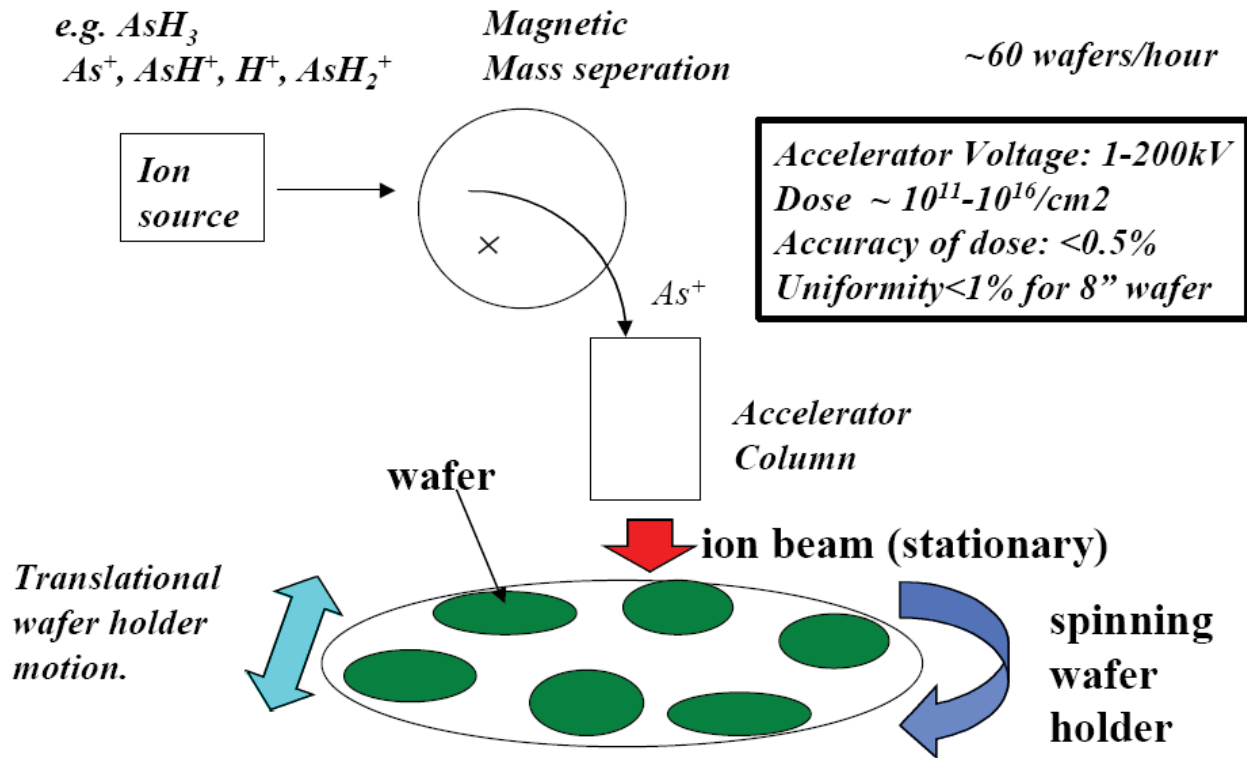


Aussagen der Simulation (II)

3. Maske kann Eindringen der Ionen verhindern.



Aufbau des Implanters (I)



Aufbau des Implanters (II)

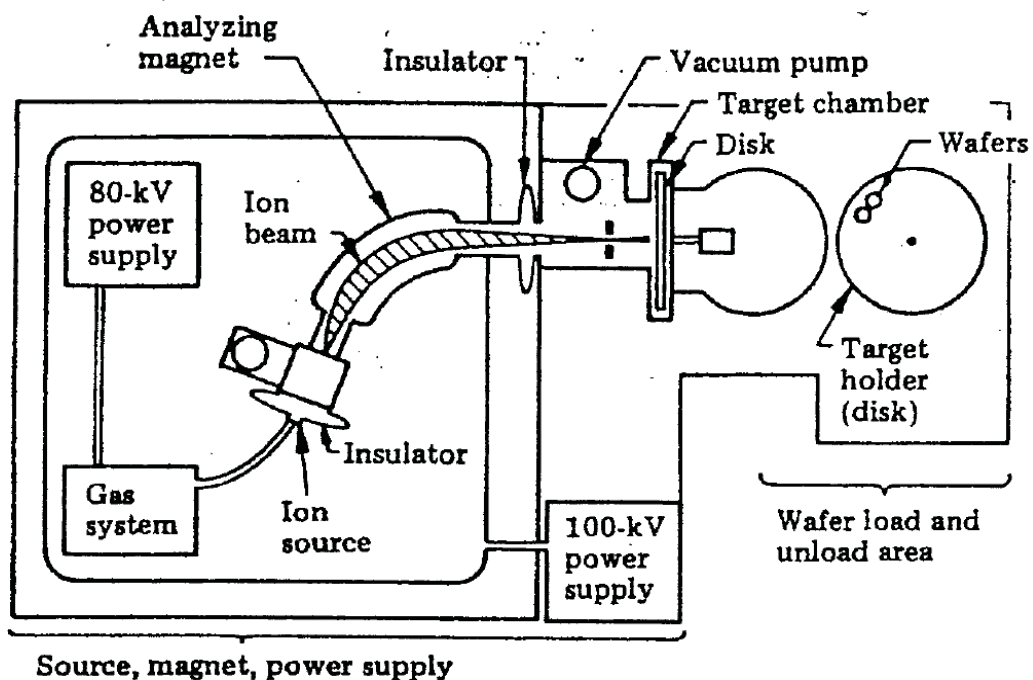
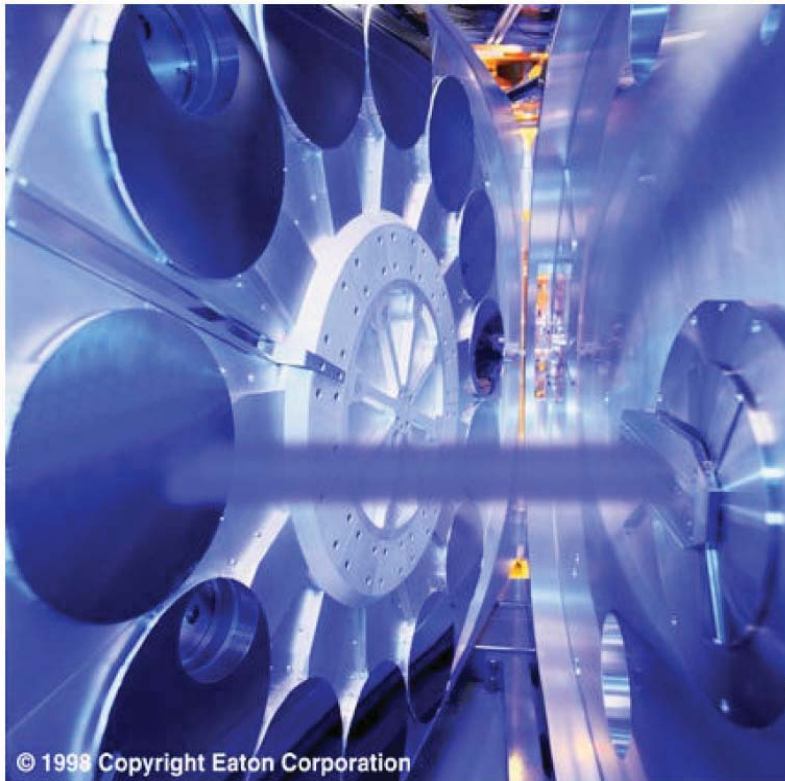


FIGURE 8.4 Schematic of a commercial ion-implantation system, the Nova-10-160, 10 mA at 160 keV.





**Photograph
of the Eaton HE3
High Energy
Implanter,
showing the
ion beam
hitting the
300mm wafer
end-station**

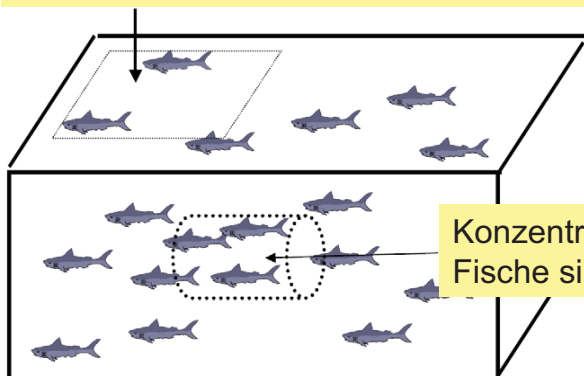


Dosis und Konzentration

Implantationsdosis:

$$\Phi = \frac{\left(\frac{\text{Ion Beam Current in amps}}{q} \right) \times \left(\frac{\text{Implant time}}{\text{Implant area}} \right)}$$

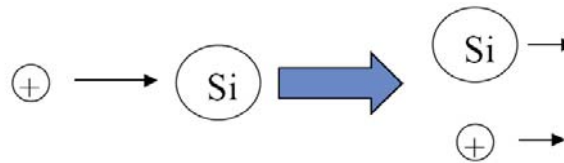
Dosis [#/Fläche]: „Wie viele Fische pro Flächeneinheit über alle Tiefen.“



Konzentration [#/Volumen]: „Wie viele Fische sind im Volumenelement.“

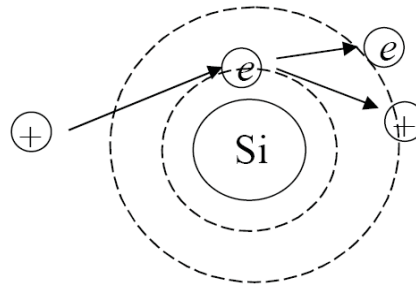
Energieverlust-Mechanismen (I)

Nuclear stopping



Kristallstruktur des Siliziums wird durch Kollisionen zerstört.

Electronic stopping



Streuung an Elektronen erzeugt Wärme.



Energieverlust-Mechanismen (II)

Leichte Ionen bzw. höhere Energie $\Rightarrow$ Mehr Elektronen-Stopping
Schwere Ionen bzw. kleinere Energien $\Rightarrow$ mehr Kern-Stopping

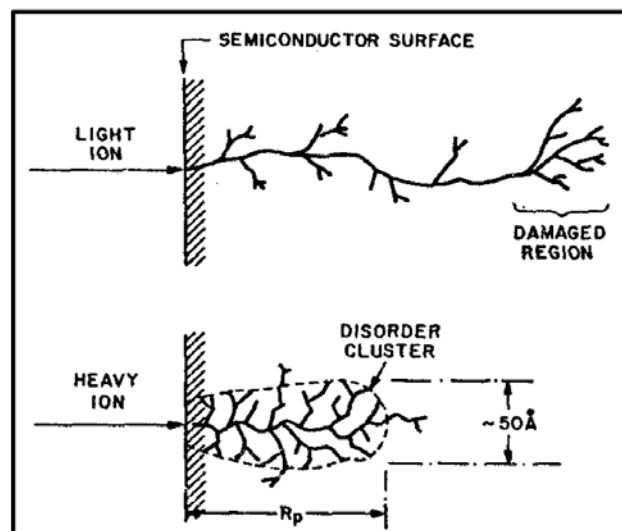
EXAMPLES

Implanting into Si:

$H^+ \Rightarrow$ Electronic stopping dominates

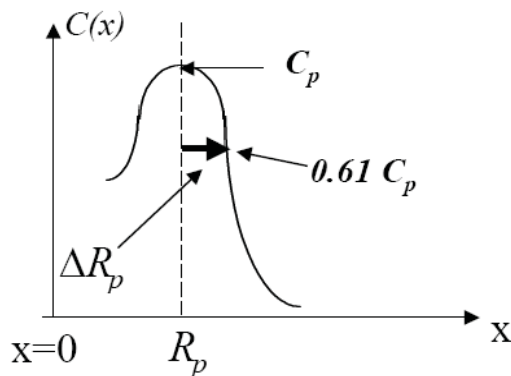
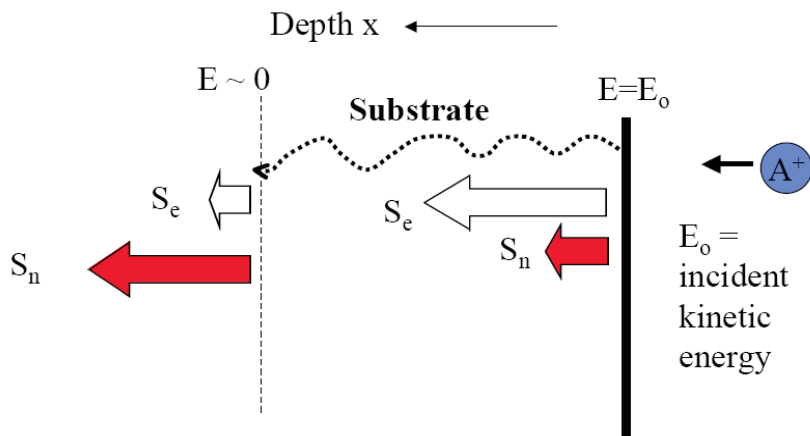
$B^+ \Rightarrow$ Electronic stopping dominates

$As^+ \Rightarrow$ Nuclear stopping dominates



1. Rekristallisation des Siliziums.
2. Elektrische Aktivierung der Dotierungionen auf passende Gitterplätze.

Ausheilen / Annealing: ca. 900 °C , ca. 30 min. (Details sh. Kapitel 3.3 Diffusion“.

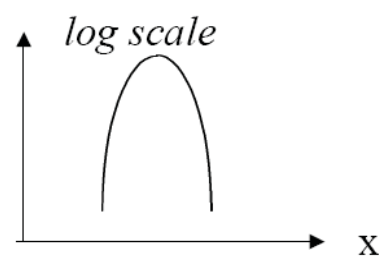
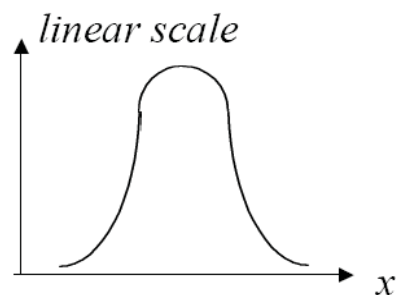


$$C(x) = C_p \cdot e^{\frac{-(x-R_p)^2}{2(\Delta R_p)^2}}$$

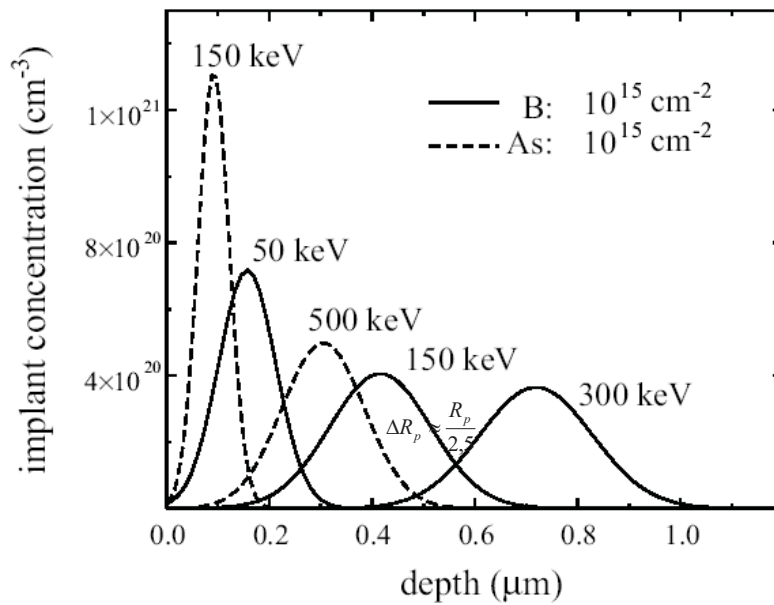
$R_p = \text{projected range}$

$\Delta R_p = \text{longitudinal straggle}$

Choose Gaussian function
as approximation



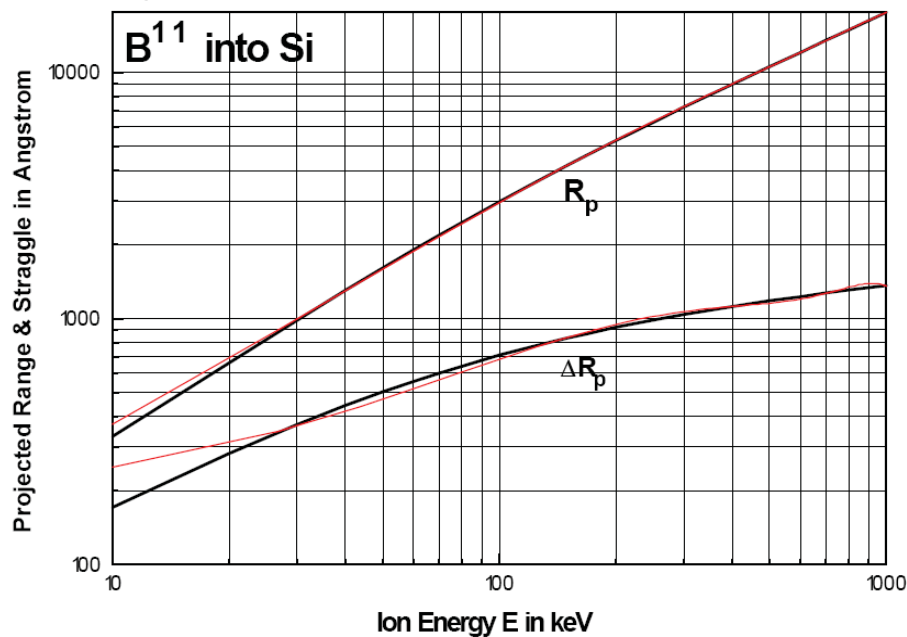
Gauß'sches Profil (I)



$$\Delta R_p \approx \frac{R_p}{2.5} \quad \text{mit } R_p \text{ als mittlere Reichweite der Ionen}$$

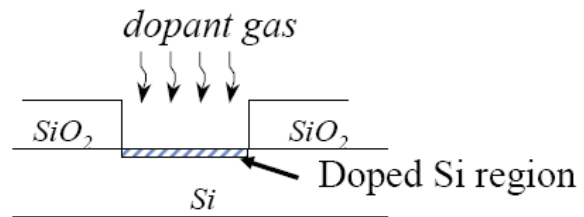


Reichweite der Ionen

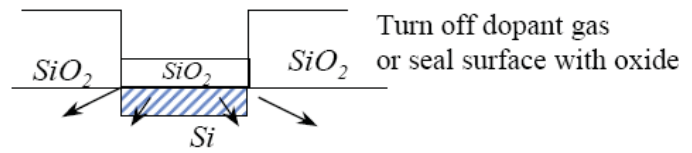


3.3. Diffusion

1. Rekristallisation des Siliziums

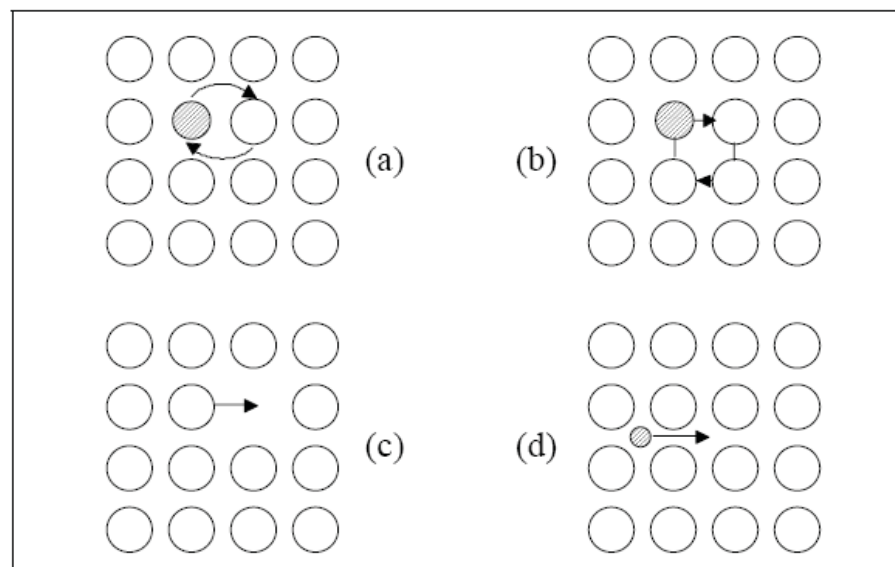


2. Diffusion

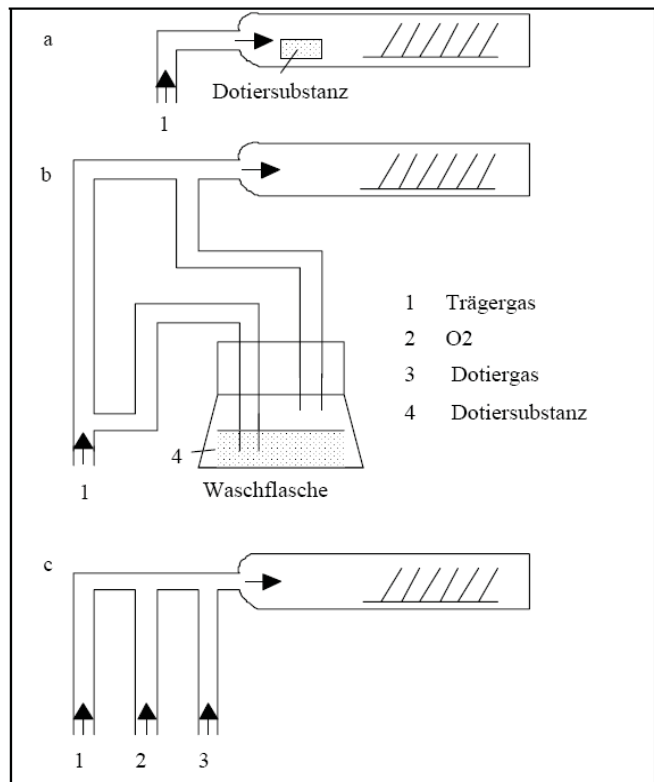


Diffusionsmechanismen

- (a) Platztausch
- (b) Ringtausch
- (c) Leerstellenwechsel
- (d) Zwischengitterwechsel



- (a) feste
- (b) flüssige
- (c) gasförmige



1. Ficksches Gesetz $J_D = -D \frac{\partial N}{\partial x}$ $[J_D] = \frac{1}{\text{cm}^2 \text{ s}}$, $[D] = \frac{\text{cm}^2}{\text{s}}$

$$\frac{\partial N}{\partial t} = D \frac{\partial^2 N}{\partial x^2}$$

1. Diffusion aus unerschöpflicher Quelle

$$C(0, t) = C_s \quad \forall t,$$

$$C(\infty, t) = 0 \quad \forall t,$$

$$C(x, 0) = 0 \quad \forall x,$$

konst. Oberflächenkonzentration,
unendlich ausgedehnter Halbleiter,
keine Anfangskonzentration im Material.

2. Diffusion aus erschöpflicher Quelle

$$C(x, 0) = 0 \quad \forall x > 0,$$

$$C(\infty, t) = 0 \quad \forall t,$$

$$\left. \frac{\partial C}{\partial t} \right|_{x=0, t} = 0 \quad \forall t,$$

und die weiteren Randbedingungen sind
unendlich ausgedehnter Halbleiter,

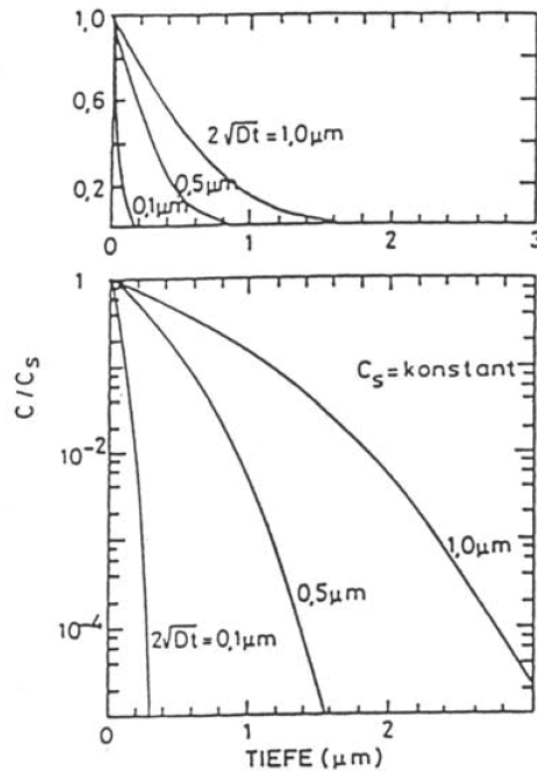
kein Fluß über die Grenzfläche.



$$N(x,t) = N_0 \operatorname{erfc} \frac{x}{2\sqrt{Dt}}$$

Tiefe des pn-Übergangs:

$$x_j = 2\sqrt{Dt} \cdot \operatorname{erfc}^{-1} \left(\frac{N_B}{N_0} \right)$$



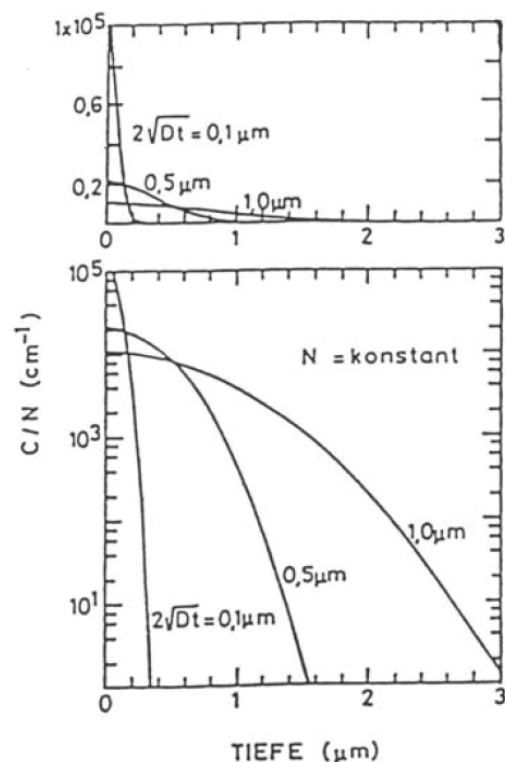
Gauss-Verteilung

$$N(x,t) = \frac{Q}{\sqrt{\pi Dt}} \exp \left[- \left(\frac{x}{2\sqrt{Dt}} \right)^2 \right]$$

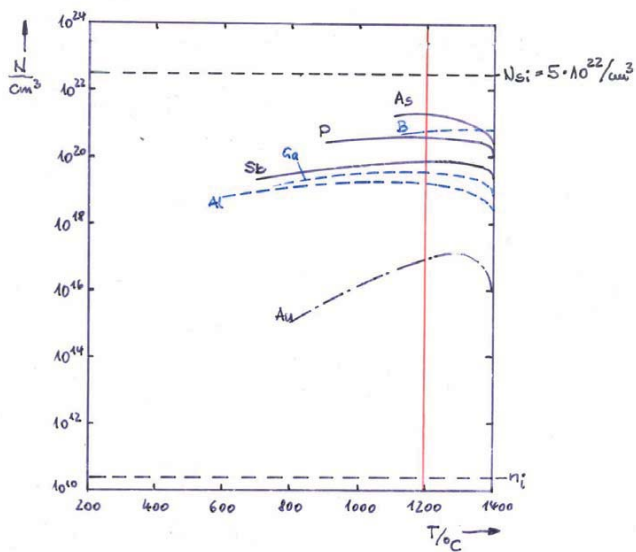
$$N(t) = \frac{Q}{\sqrt{\pi Dt}}$$

Tiefe des pn-Übergangs:

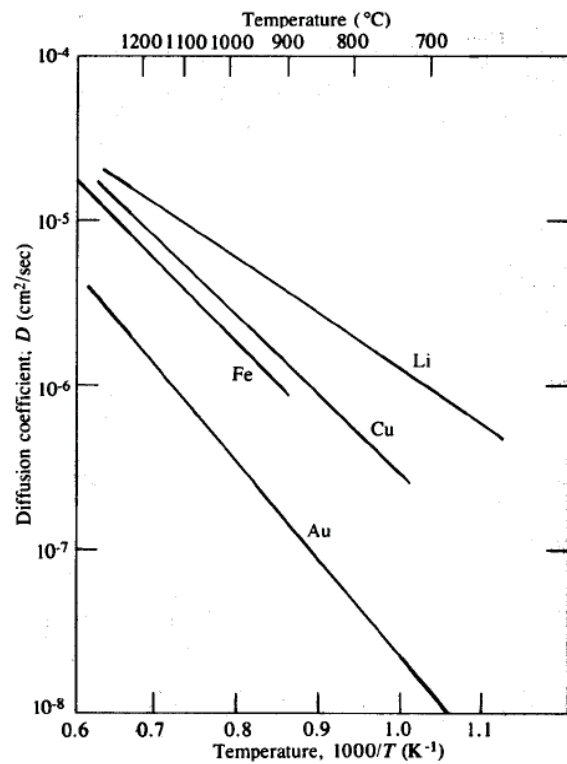
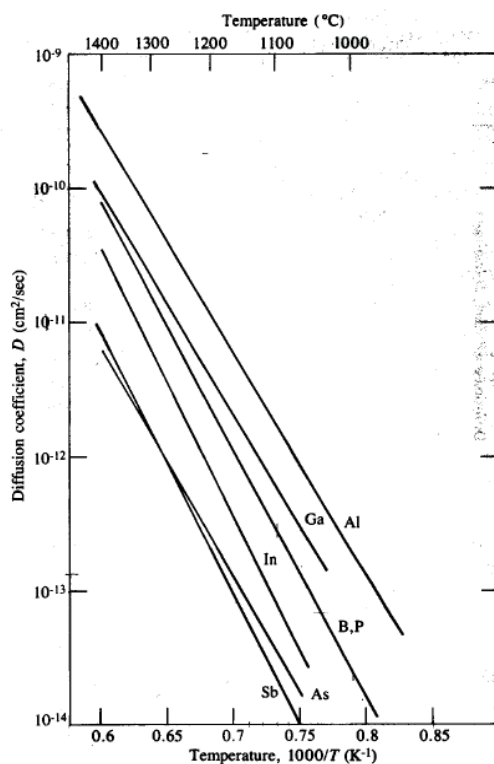
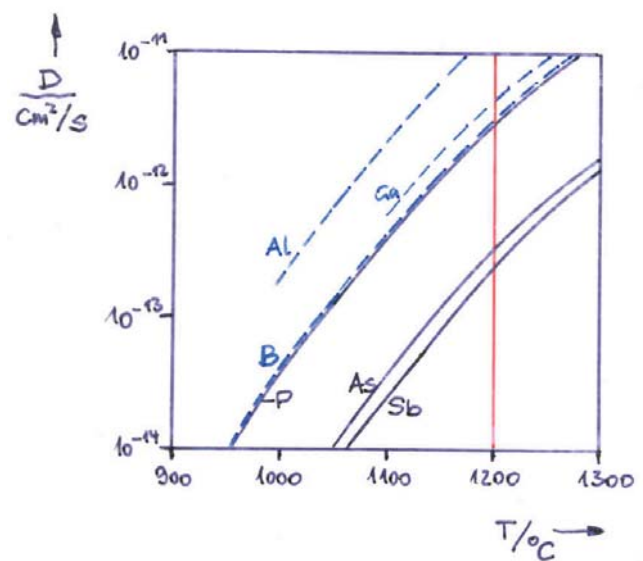
$$x_j = 2 \sqrt{-Dt \ln \left(\frac{N_B \sqrt{\pi Dt}}{Q} \right)}$$



Löslichkeit



Diffusionskoeffizient



	Silicium		Siliciumdioxid	
	D_0 [cm ² /s]	E_a [eV]	D_0 [cm ² /s]	E_a [eV]
Antimon	7,74	3,98	$1,31 \cdot 10^{16}$	8,75
Arsen	13	4,05	248	4,9
Bor	13	3,81	$3,6 \cdot 10^{-4}$	3,53
Eisen	0,0062	0,87		
Kupfer	0,0047	0,43		
Nickel	0,1	1,91		
Phosphor	0,6	3,51	0,186	4,03
Silicium	154	4,65		

$$D = D_0 e^{-E_a / kT} \quad \Longrightarrow \quad \frac{\Delta D}{D} = \frac{E_a}{k} \frac{\Delta T}{T^2}$$



3. Grundlagen der Herstellung von IC

3. Grundlagen der Herstellung integrierter Schaltkreise
 - 3.1. Thermische Oxidation von Si
 - 3.2. Ionenimplantation
 - 3.3. Diffusion
 - 3.4. Herstellung dünner Schichten
 - 3.5. Lithographie
 - 3.6. Strukturierung



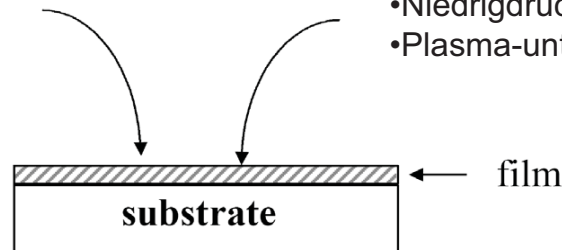
3.4. Herstellung dünner Schichten (I)

Physikalische Methoden

- Thermische Verdampfung
- Sputtern (Zerstäuben)
- Reaktives Sputtern

Chemische Methoden

- Chemische Gasphasenabscheidung
- (Chemical Vapor Deposition - CVD)
- Niedrigdruck-CVD (LPCVD)
- Plasma-unterstützte-CVD (PECVD)



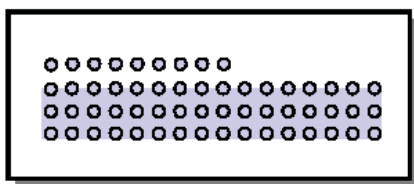
Einsatzgebiete:

- Metallisierung (Al, TiN, Silizide)
- Poly-Si
- Dielektrische Isolationsschichten (SiO_2)
- Passivierung (Si_3N_4)

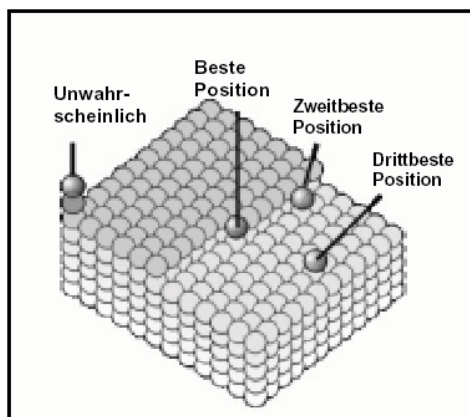
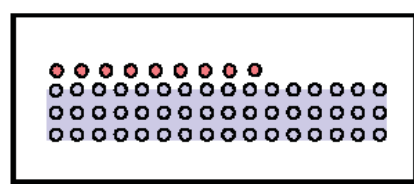


3.4. Herstellung dünner Schichten (II)

Monoepitaxie



Heteroepitaxie



Entscheidende Prozessparameter:

- Temperatur
- Konzentration des Reaktionsgases
- Gasführung im Reaktor
- Kristallorientierung des Wirtskristalls
- Zustand der Substratoberflächen



1. Units

1 atmosphere = 760 torr

1 torr = 1 mm Hg

1 mtorr = 1 micron Hg

Note: MKS Units

1 Pa = 7.5 mtorr = 1 newton/m²

1 bar = 1 Pascals (Pa) = 750 torr or 1 torr = 133.3 Pa

2. Ideal Gas Law: $PV = NkT$

$k = 1.38E-23$ Joules/molecule -K

$N = \#$ of molecules

$T =$ absolute temperature in K

[Note] At $T = 300$ K ; $kT = 3.1E-20$ torr-liter



3. Dalton's Law of Partial Pressure

• **For mixture of non-reactive gases in a common vessel, each gas exerts its pressure independent of others.**

$P_{\text{total}} = P_1 + P_2 + \dots + P_N$ (Total P = Sum of partial pressure)

$N_{\text{total}} = N_1 + N_2 + \dots + N_N$

$P_1 V = N_1 k T$

$P_2 V = N_2 k T$

.....

$P_N V = N_N k T$



4. Mittlere freie Weglänge von Teilchen in einem Gas:

$$\lambda = \frac{1}{4\pi r^2} \frac{V}{\sqrt{2} N},$$

mit r : Atom- bzw. Molekülradius,
 N : Teilchenzahl im Volumen V ,
 V : Volumen des Gases.

Mit $pV = NkT$

$$\lambda p = 6,7 \cdot 10^{-3} \text{ Pa} \quad (\text{Für } T=300 \text{ K und } \lambda \text{ in m})$$

$$1 \text{ Pa} = 10^{-2} \text{ mbar} = 7,5 \cdot 10^{-3} \text{ Torr}$$



5. Flächenstoßrate

$$\Phi = \frac{\bar{n} \bar{v}}{4} = 3.5 \times 10^{22} \cdot \frac{P}{\sqrt{mT}}$$

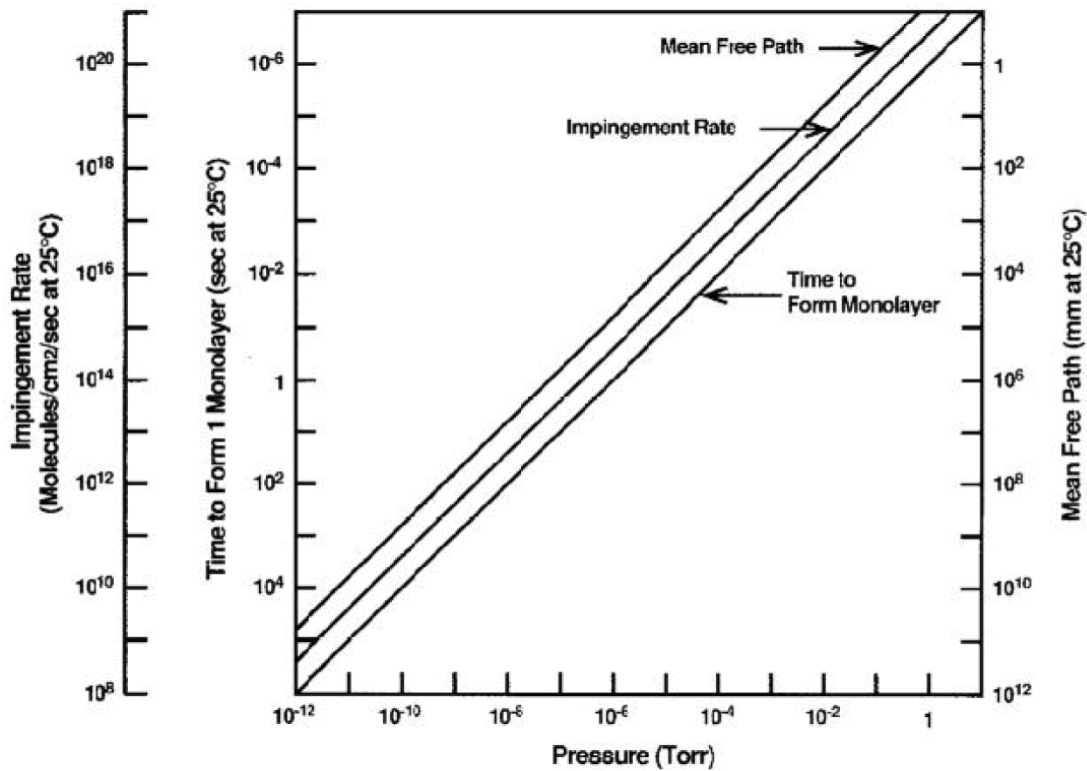
Mittlere Molekülgeschwindigkeit: $\bar{v} = (8kT/\pi m)^{1/2}$

$$\Phi(\text{in \#}/\text{cm}^2 \cdot \text{sec}) = 3.8 \times 10^{20} \cdot P \quad (\text{Für } T=300 \text{ K})$$

$$\Phi = 4 \times 10^{14} / \text{cm}^2 \cdot \text{sec} \quad (\text{Für } T=300 \text{ K und } p=10^{-6} \text{ Torr} = 1.3 \cdot 10^{-4} \text{ Pa})$$



3.4.1. Vakuumphysik: Stoßrate (II)



Universität Karlsruhe (TH)

Institut für Mikro-und Nanoelektronische Systeme



8

3.4.1. Vakuumphysik: Erzeugung

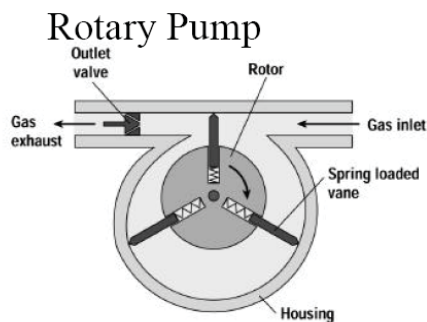
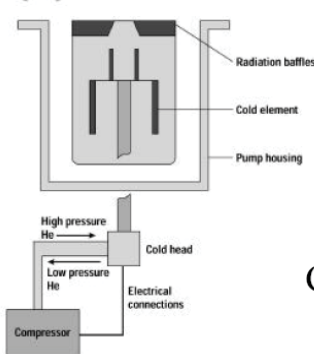
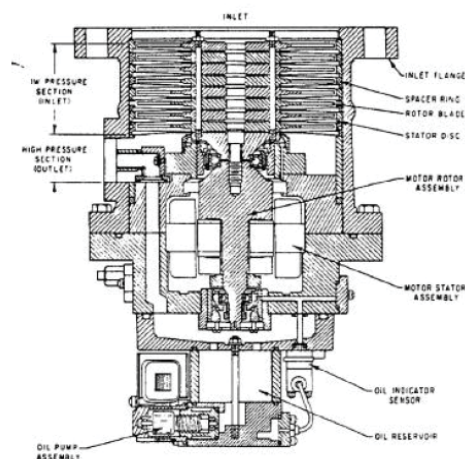


Figure 10.5 One of the most common types of pumps for microelectronic processing is the rotary vane vacuum pump.



Cryogenic Pump

Turbo Molecular Pump



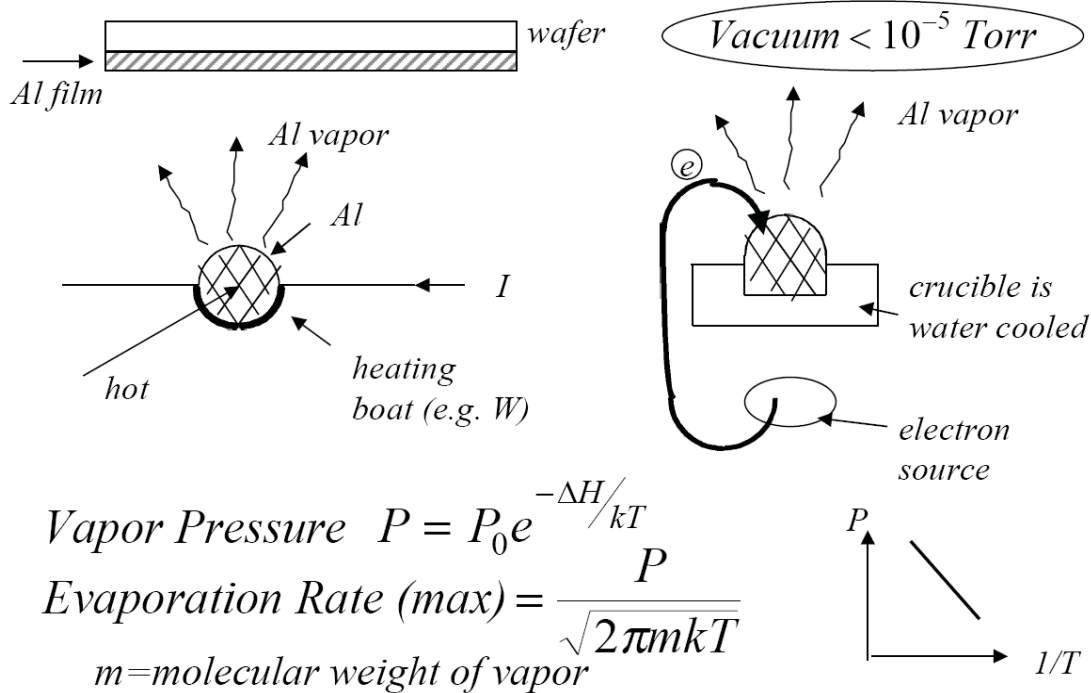
Universität Karlsruhe (TH)

Institut für Mikro-und Nanoelektronische Systeme



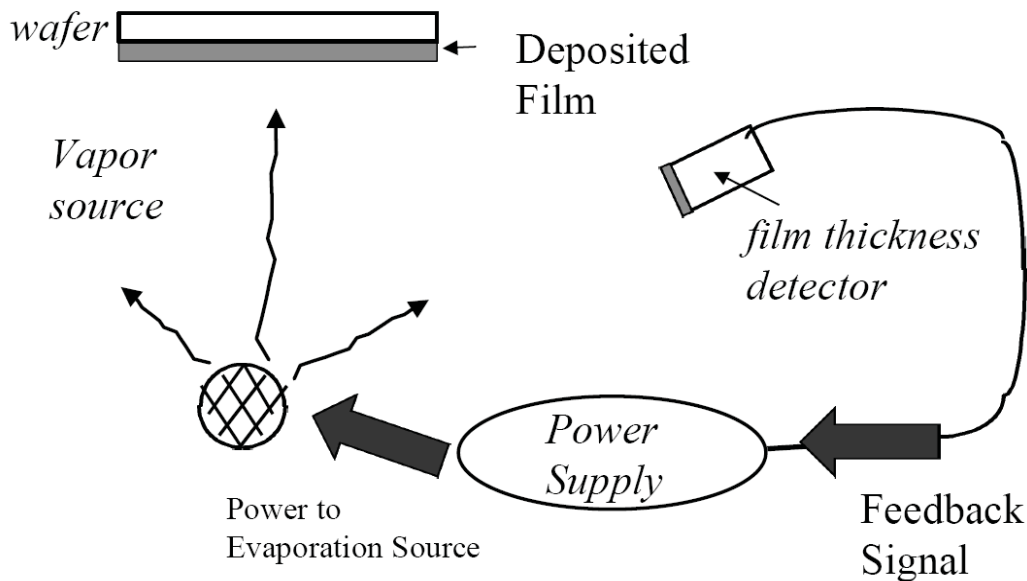
9

3.4.2. Thermische Verdampfung: Basics



3.4.2. Verdampfung: Schichtdickenmessung

In-situ deposition rate monitoring



Verdampfungsrate von Metall aus der Schmelze:

$$R_S = 4,43 \cdot 10^{-6} \frac{p_e}{\text{Pa}} \cdot \sqrt{\frac{M}{T} \frac{\text{K}}{\text{g/mol}}} \text{ g/cm}^2\text{s},$$

R_S : Verdampfungsrate der Quelle,

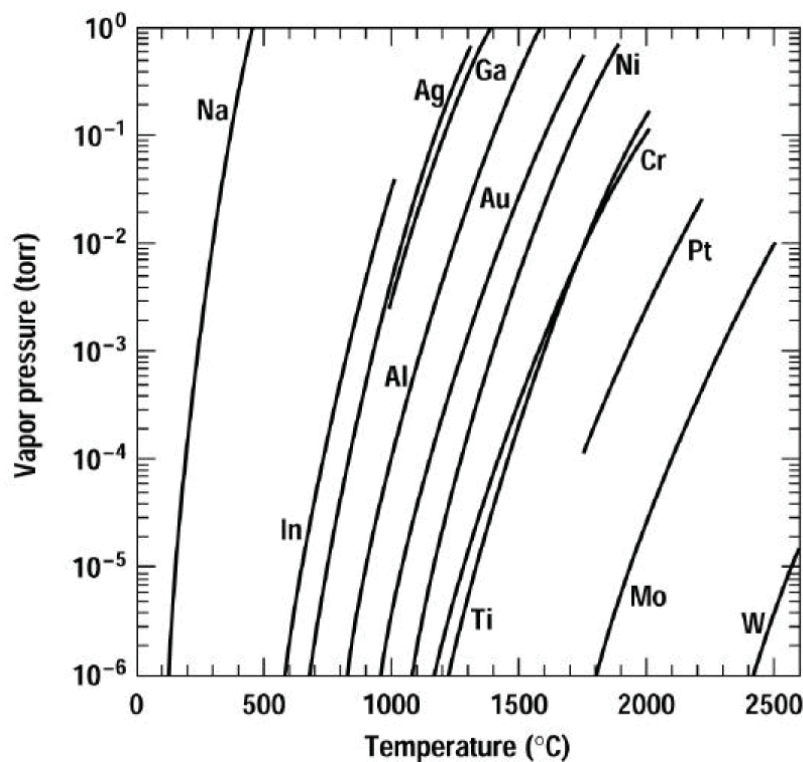
M : molare Masse,

p_e : Gleichgewichtsdampfdruck (Partialdruck der Metaldampfes über der Schmelze),

Verdampfte Masse aus der Quelle: $J_S = \int_{A_S} R_S dA_S$

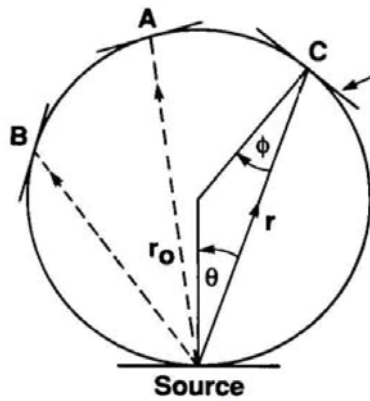


3.4.2. Verdampfung: Dampfdruck vs. Temperatur

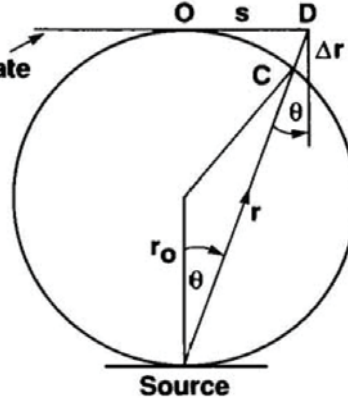


3.4.2. Verdampfung: Schichtdickenverteilung

(a)



(b)



$$\cos \Phi = \cos \Theta = \frac{r}{2r_0}$$

$$\frac{J_C}{J_D} = \frac{(r + \Delta r)^2}{r^2} = \left(1 + \frac{\Delta r}{r}\right)^2$$

Abscheiderate:

$$R_m = \frac{J_s}{\pi \cdot r^2} \cos \Theta \cos \Phi$$

Beispiel:

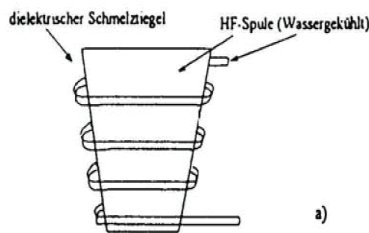
R_m in D soll höchstens 5% von R_m in O abweichen!

$$\frac{s}{2r_0} < 0,15$$

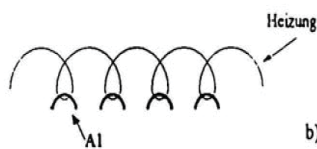
Lösung: Bei $s=75$ mm muss $r=50$ cm sein!!



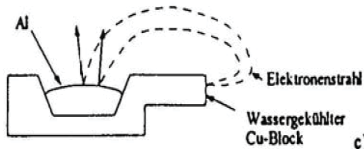
3.4.2. Verdampfung: Technik



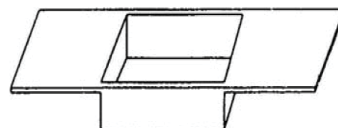
a)



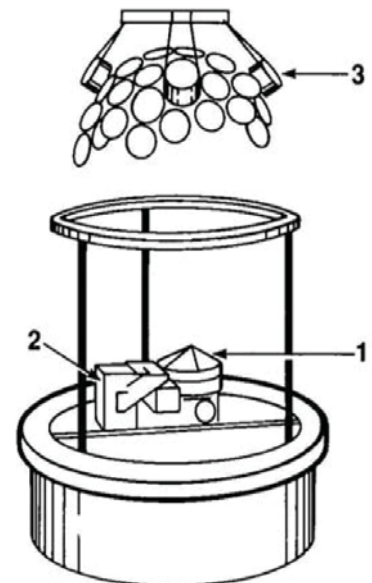
b)



c)



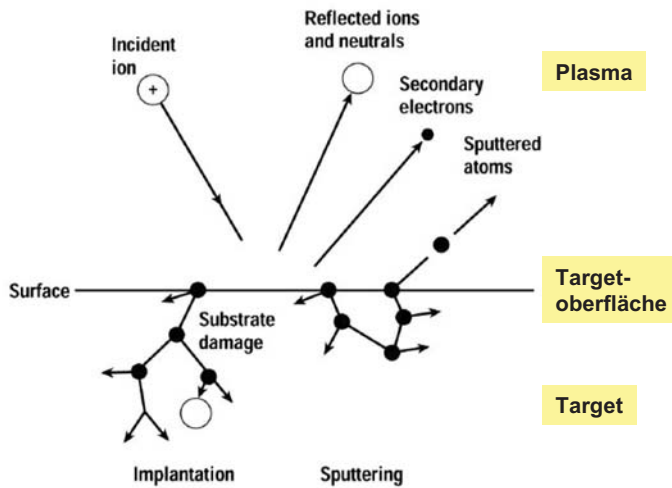
d)



- a) Induktiv beheizter Tiegel,
- b) Widerstandsbeheizung mit Wendel (vor allem für Al),
- c) Elektronenstrahlverdampfung,
- d) Widerstandsbeheizung mit Schiffchen



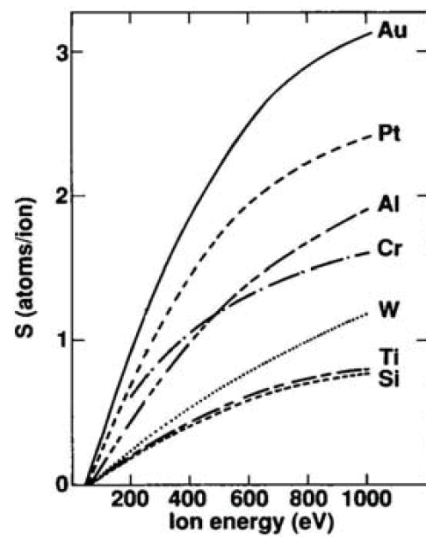
3.4.3. Katodenzerstäuben (Sputtern)



$$S = C \frac{4M_i M_t}{(M_i + M_t)^2} S_n(E_i) \frac{E_i}{E_s}$$

E_i : Energie des einfallenden Teilchens,
 E_s : Oberflächenbindungsenergie,
 $S_n(E_i)$: Funktion der Energie und Teilchenmasse

Sputterausbeute

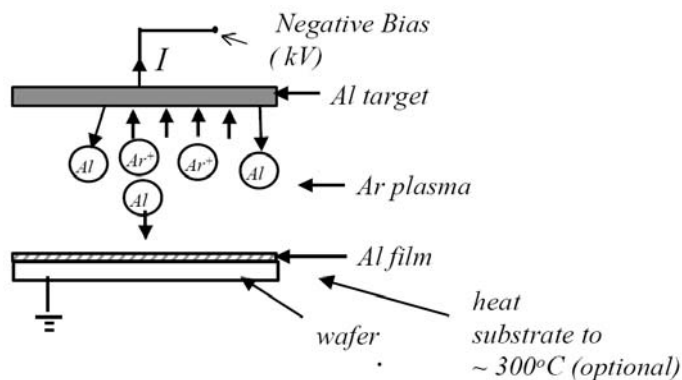
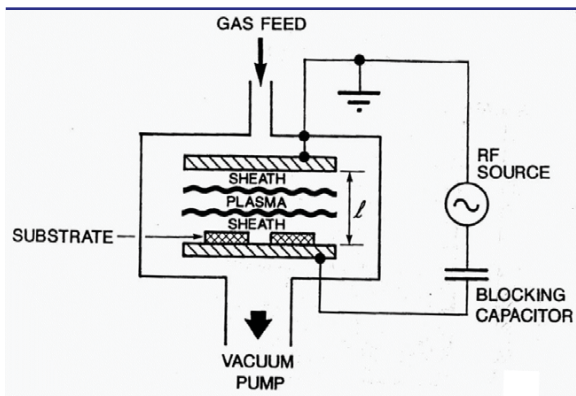


Abscheiderate:

$$R_s = \text{const} \cdot I \cdot S$$



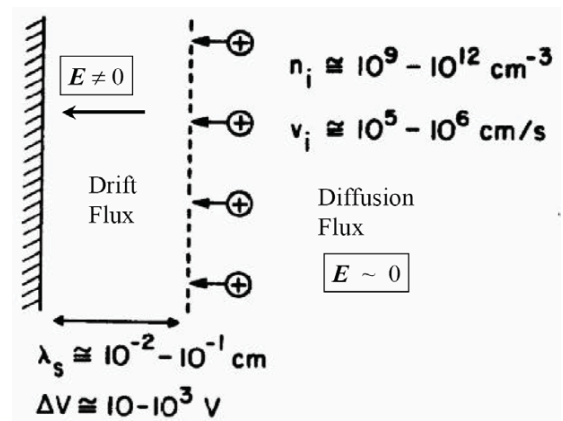
3.4.3. Sputtern: Parallelplattenreaktor



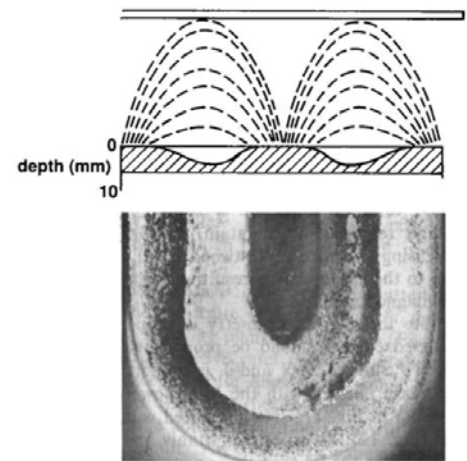
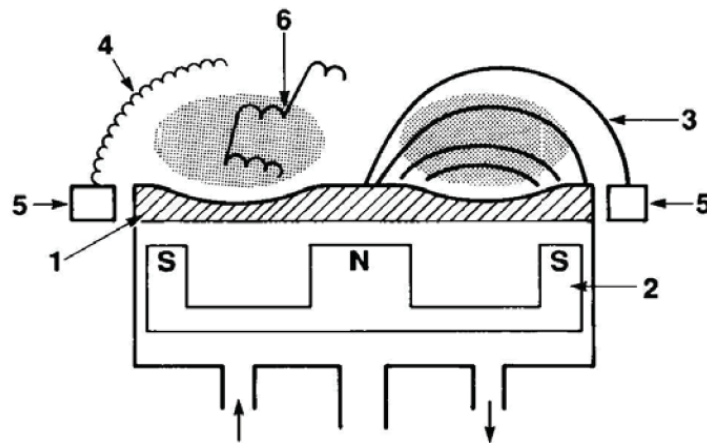
Target

Dunkelraum

Plasma



3.4.3. Sputtern: Magnetronsputtern

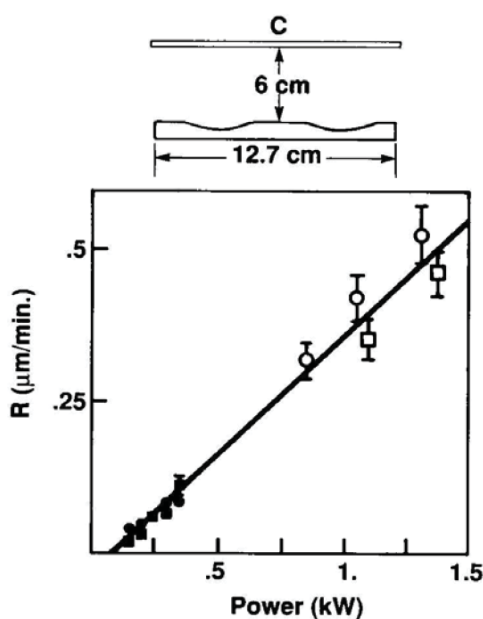


- 1 Target,
- 2 Magnet,
- 3 Magnetische Feldlinien,
- 4 Bahn eines Elektrons mit niedriger Energie zur Anode,
- 5 Anode,
- 6 Bahn eines hochenergetischen Elektrons

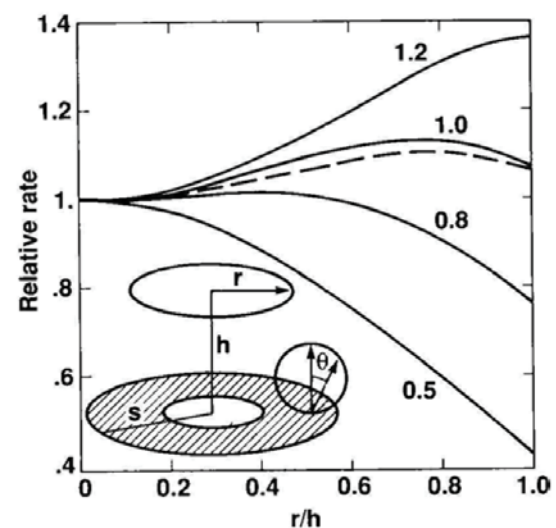


3.4.3. Sputtern: Abscheideverhalten

Sputterrate

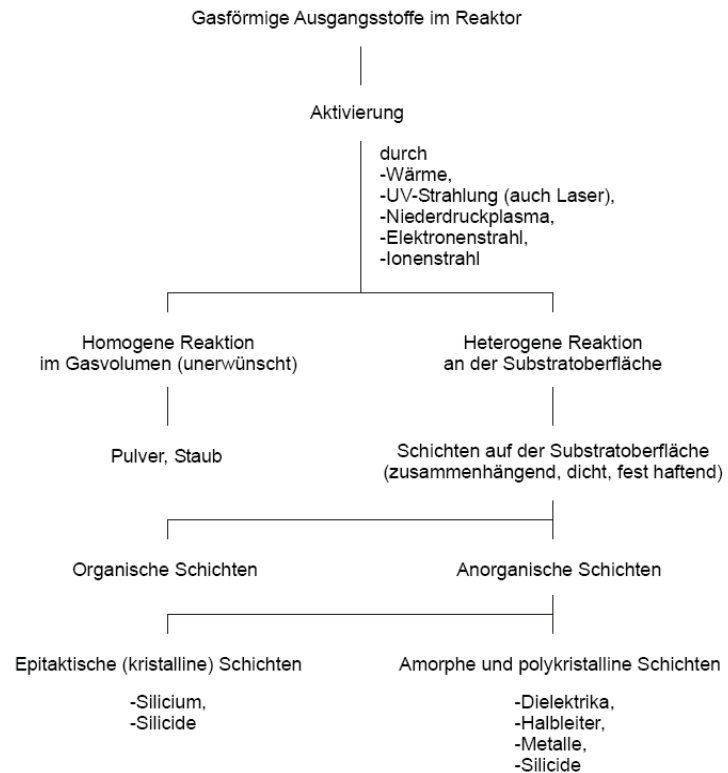


Schichtdickenverteilung



3.4.4. Chemische Gasphasenabscheidung (CVD)

Chemical Vapor Deposition (CVD)

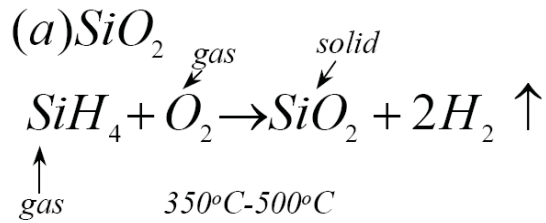


3.4.4. CVD: Typische Schichtmaterialien

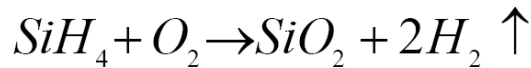
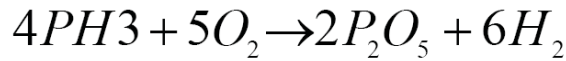
Schicht	Gase/Reaktion	Abscheidetemperatur [°C]
SiO ₂	SiH ₂ Cl ₂ + N ₂ O	850-900
	SiH ₄ + N ₂ O	750-850
	SiH ₄ + NO	650-750
	Si(OC ₂ H ₅) ₄	650-750
	SiH ₄ + O ₂	350-450
	SiH ₄ + N ₂ O	250-350 (PECVD)
Si ₃ N ₄	SiH ₂ Cl ₂ + NH ₃	750-900
	SiH ₄ + NH ₃	650-850
	SiH ₄ + NH ₃	200-350 (PECVD)
SIPOS	SiH ₄ + N ₂ O	650-750
Ta ₂ O ₅	Ta(OC ₂ H ₅) ₅ + O ₂	375-475
Polysilicium	SiH ₂ Cl ₂	750-900
	SiH ₄	580-680

SiH ₂ Cl ₂	Dichlorsilan
SiH ₄	Silan
Si(OC ₂ H ₅) ₄	Tetraethylorthosilicat bzw. Tetraethoxysilan (TEOS)
Ta(OC ₂ H ₅) ₅	Tantaethylat
N ₂ O	Lachgas (Distickstoffmonoxid)
SIPOS	Halbisolierende Passivierungsschicht (semiinsulating polycrystalline silcon)



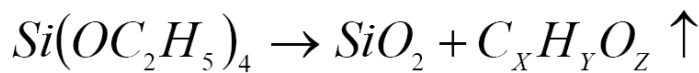


(b) PSG : phospho silicate glass. $[P_2O_5 + SiO_2]$

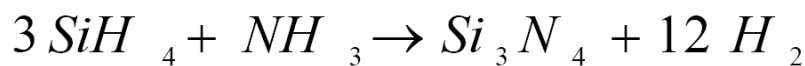


350°C-500°C

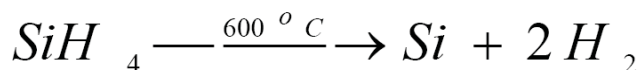
(c) TEOS tetraethylene orthosilicate.



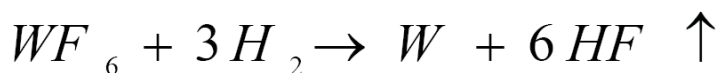
(d) Si_3N_4



(e) Poly - Si



(f) W



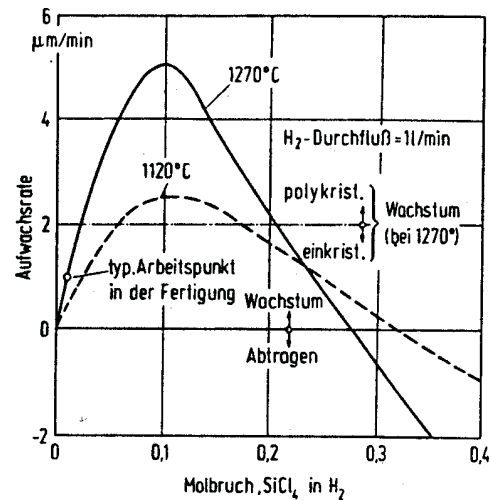
SiCl₄ - Epitaxie

Reaktionsgleichungen:

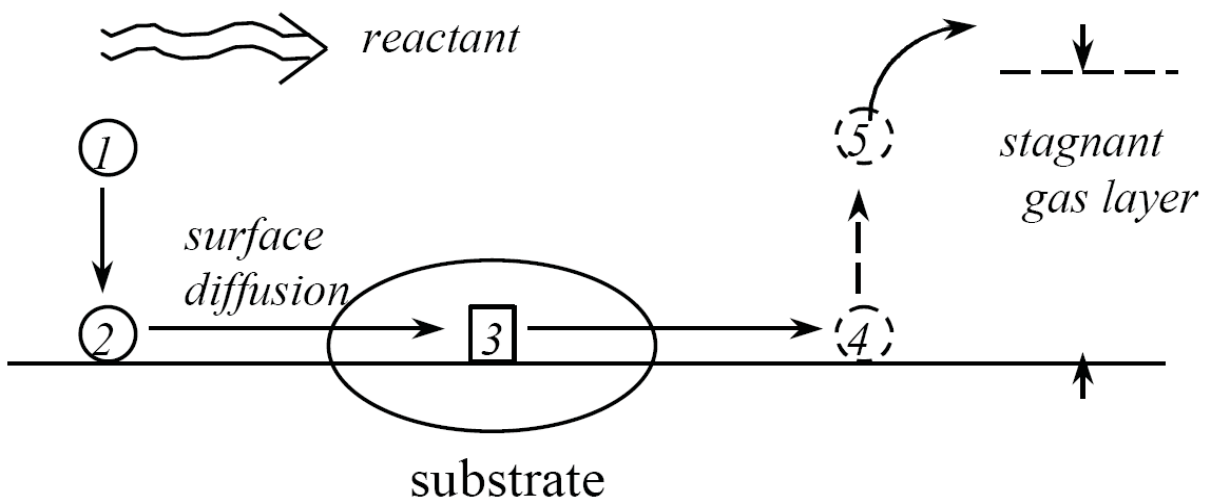


Molbruch:

$$\frac{n_{\text{SiCl}_4}}{n_{\text{SiCl}_4} + n_{\text{H}_2}} \approx 0,01$$



3.4.4. CVD: Mechanismus



1 = Diffusion of reactant to surface

2 = Absorption of reactant to surface

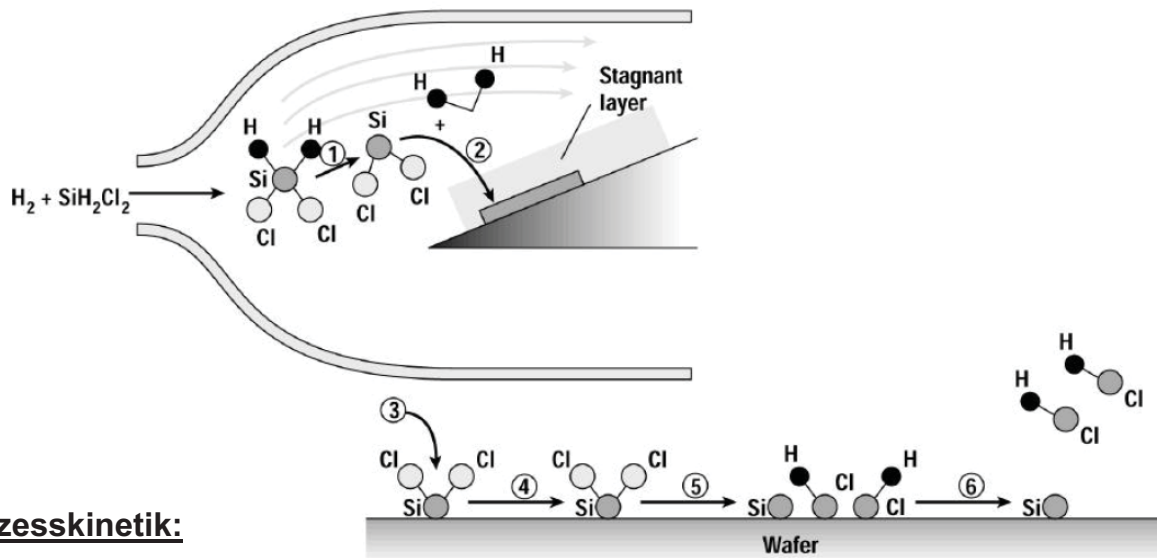
3 = Chemical reaction

4 = Desorption of gas by-products

5 = Outdiffusion of by-product gas



3.4.4. CVD: Poly-Si-Abscheidung

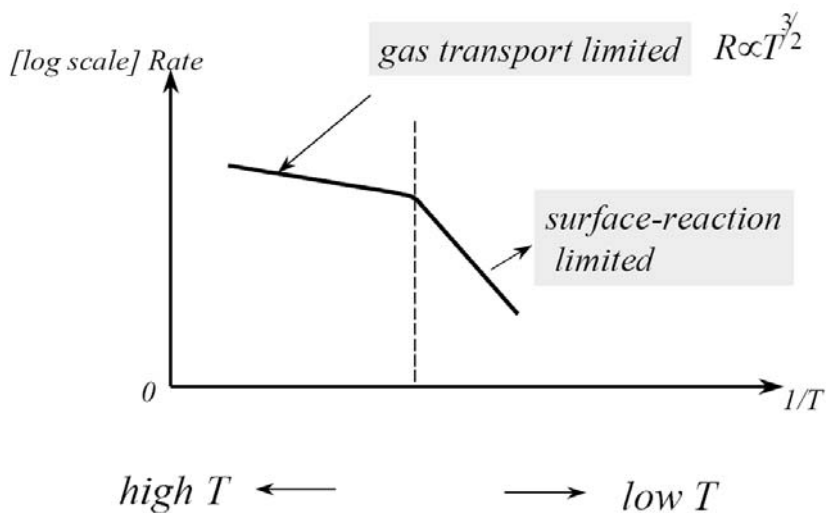


Prozesskinetik:

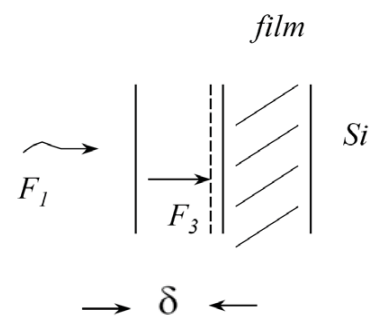
- 1 – Gasdekomposition
- 2 – Molekültransport zur Oberfläche
- 3 – Absorption an Waferoberfläche
- 4 – Diffusion
- 5 – Dekomposition der Moleküle
- 6 – Desorption der Nebenprodukte



3.4.4. CVD: Abscheiderate



Grove-Modell



$$F_1 = D [C_G - C_S] / \delta$$

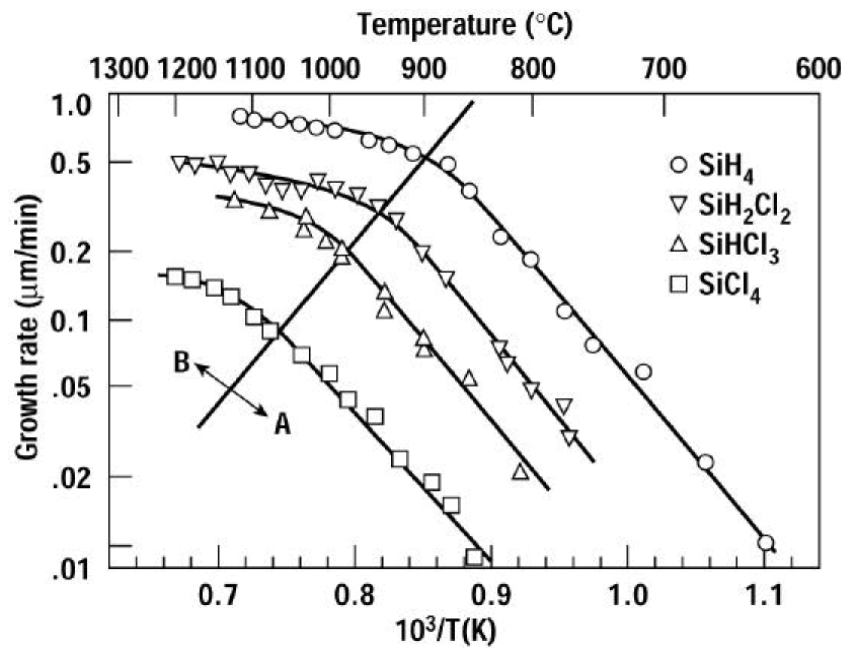
$$F_3 = k_s C_S$$

$$k_s = k_o e^{-\Delta E / kT}$$

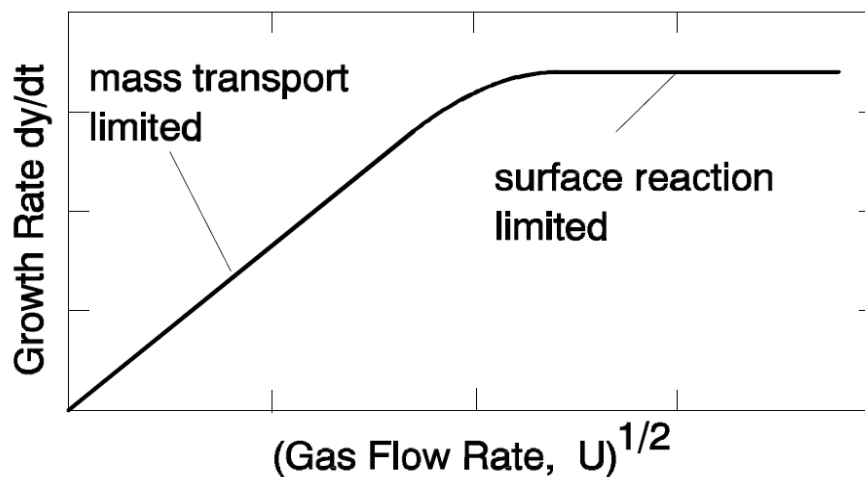


3.4.4. CVD: Abscheiderate vs. Temperatur

Poly-Si



3.4.4. CVD: Abscheiderate vs. Flussgeschwindigkeit

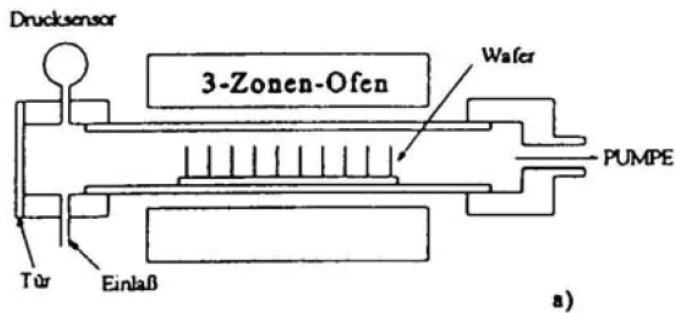


Erhöhung der Abscheiderate:

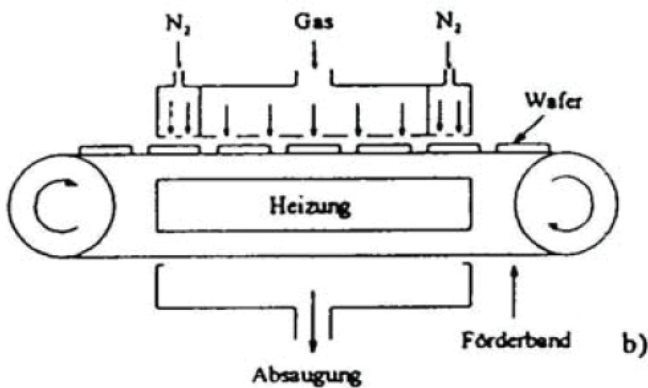
- Hohe Flussgeschwindigkeit
- Niedriger Druck (LPCVD) $\Rightarrow$ 100 Pa
- Plasmaanregung (PECVD) $\Rightarrow$ Reduzierung der Prozesstemperatur (200-400 $^{\circ}\text{C}$)



3.4.4. CVD: Reaktoren

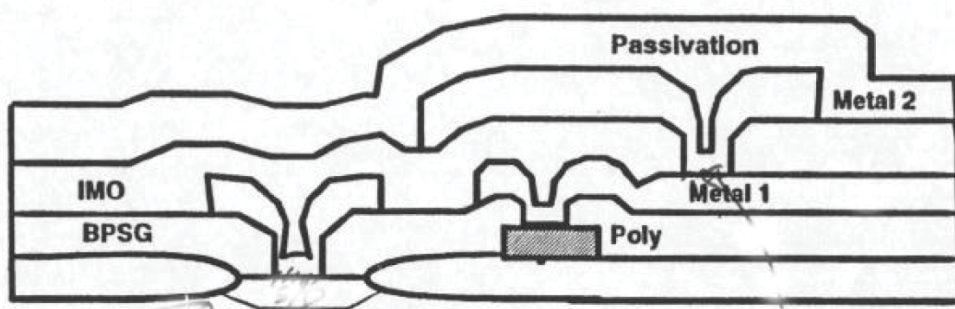


- a) LPCVD - Reaktor
- b) Normaldruck - Reaktor

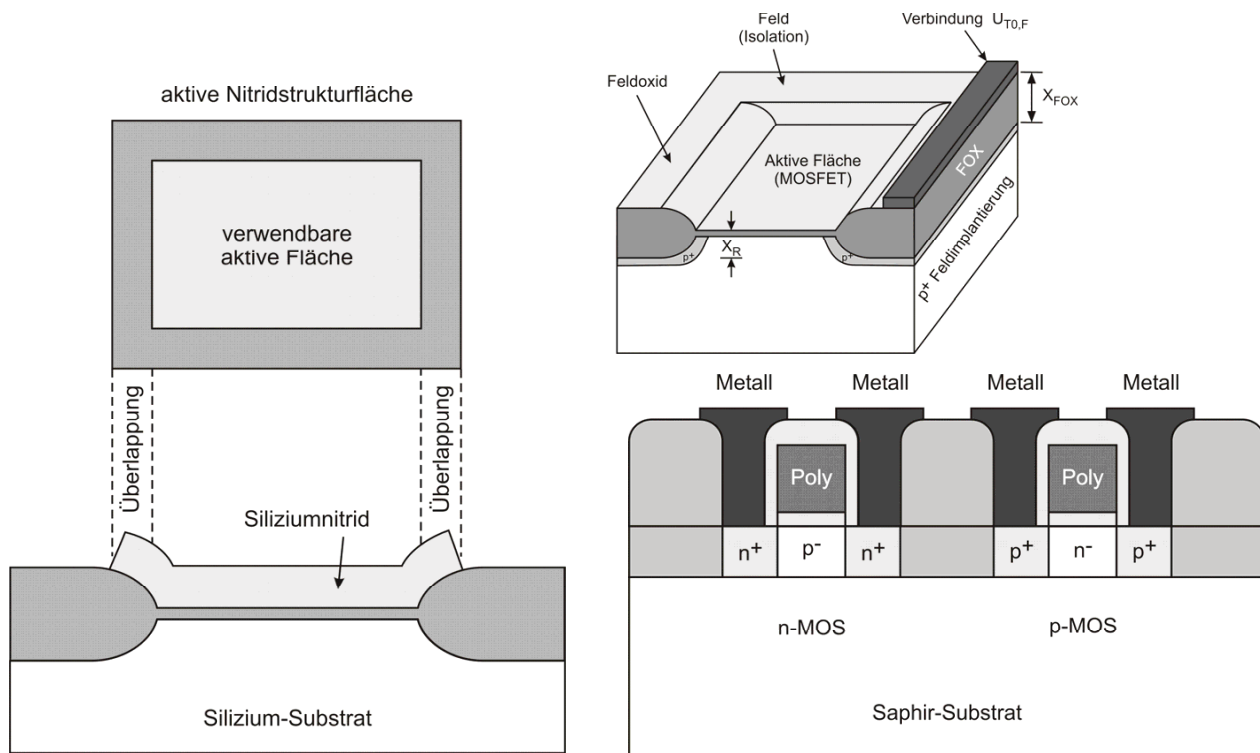


3.4.5. Metallisierung – Kritische Komponenten

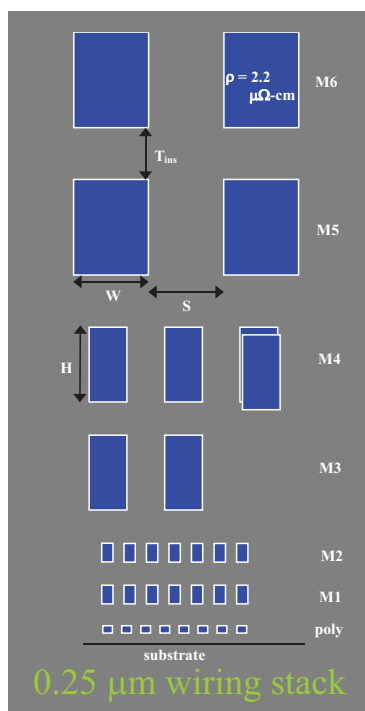
1. Mehrebenen-Metallisierung (Kantenbedeckung: PVD vs. CVD)
2. Interconnects: Al Spikes, Diffusionsbarriere, Folie 17 UCB)
3. Elektromigration
4. Kupfer – Dual Damascene Prozess
5. CMP



3.4.5. Metallisierung – Herausforderungen

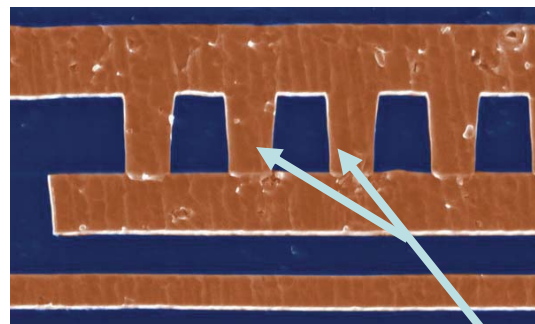


3.4.5. Metallisierung - Mehrebenen



Zahl der Ebenen wächst ständig:

- Poly – Si
- Hoch dotiertes Si
- Metalle (Al, TiN, Cu)

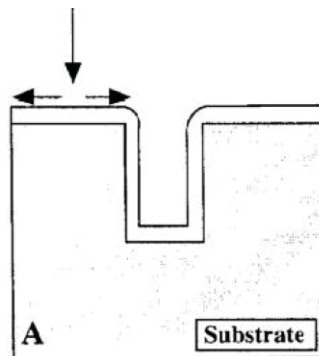


Vias

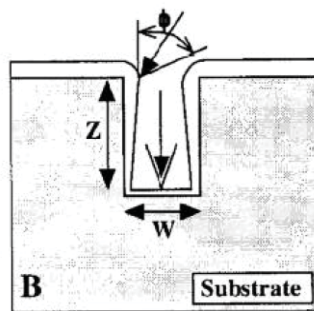


3.4.5. Metallisierung: Schatten und Kanten

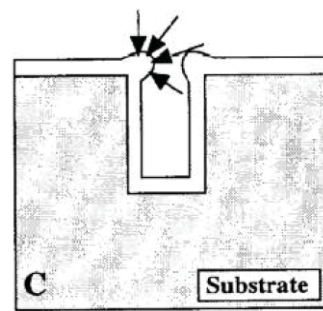
Schnelle OF-Migration



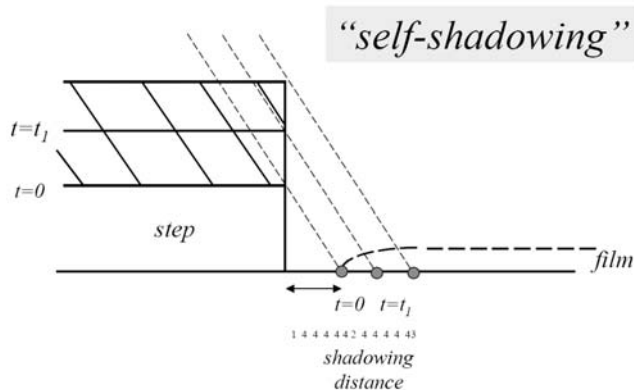
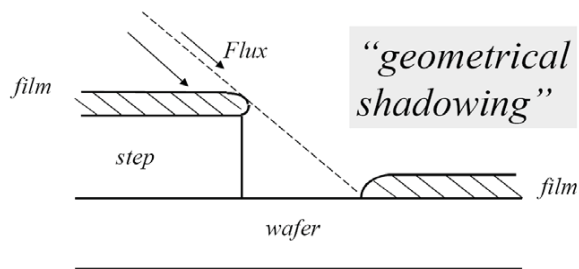
Große freie Weglänge und
keine OF-Migration



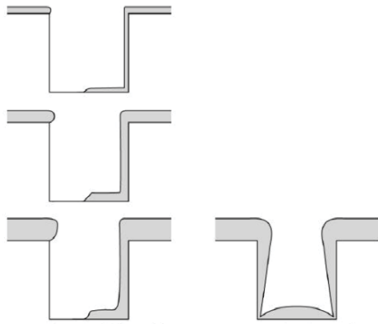
Kleine freie Weglänge und
keine OF-Migration



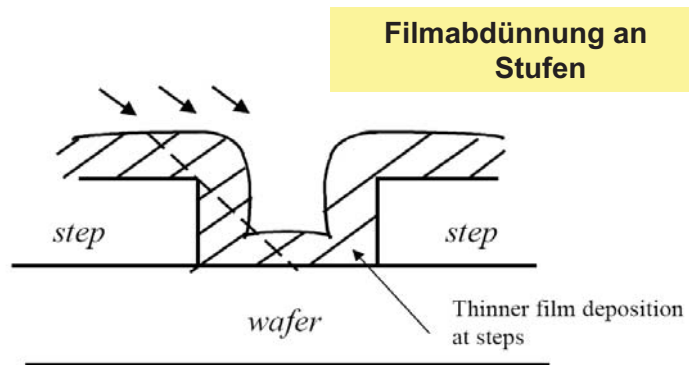
3.4.5. Metallisierung: Schattenbildung (PVD)



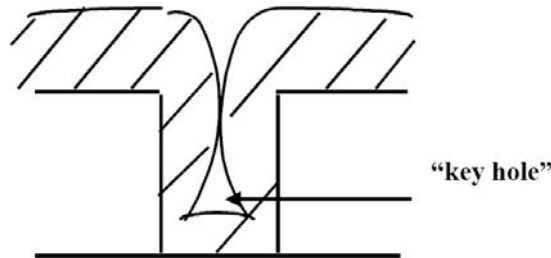
3.4.5. Metallisierung: Kantenbedeckung (PVD)



Ohne und mit Rotation



Filmabdünnung an
Stufen



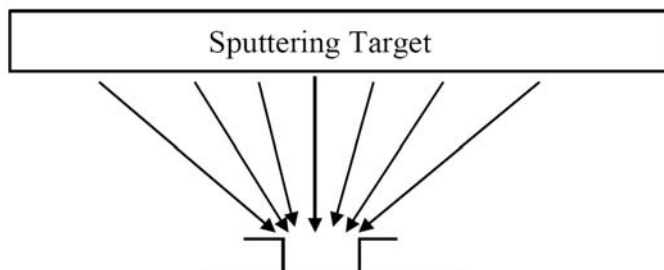
„Schlüsselloch“-
Bildung



3.4.5. Metallisierung: Kantenbedeckung (PVD)

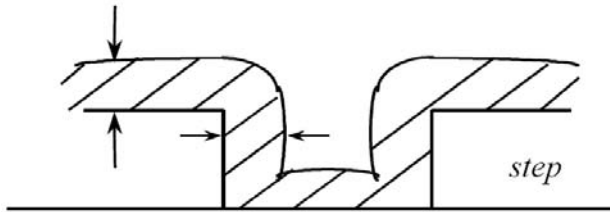
Minimierung der Kantenprobleme

- Rotation und Verkipfung des Wafers während der Beschichtung
- Erhöhung der Substrattemperatur
- Einsatz von Quellen mit großer Oberfläche

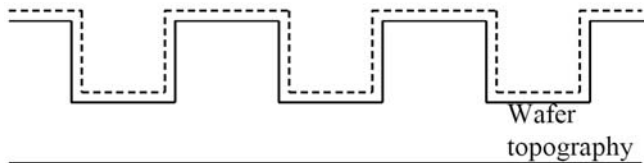


3.4.5. Metallisierung: Kantenbedeckung (CVD)

Konforme Kantenbedeckung: Besser als PVD



Höhere Wafertemperatur bewirkt
höhere Oberflächenbeweglichkeit
und OF - Diffusion

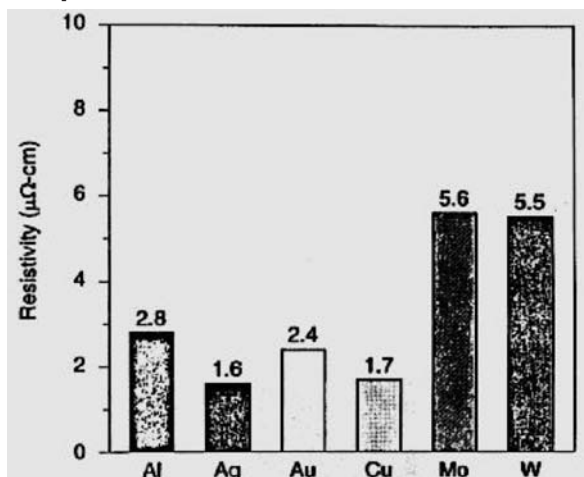


LPCVD:
• Noch konformere Bedeckung
• Bessere Homogenität der
Schichtdicke



3.4.5. Metallisierung: Auswahl der Metalle

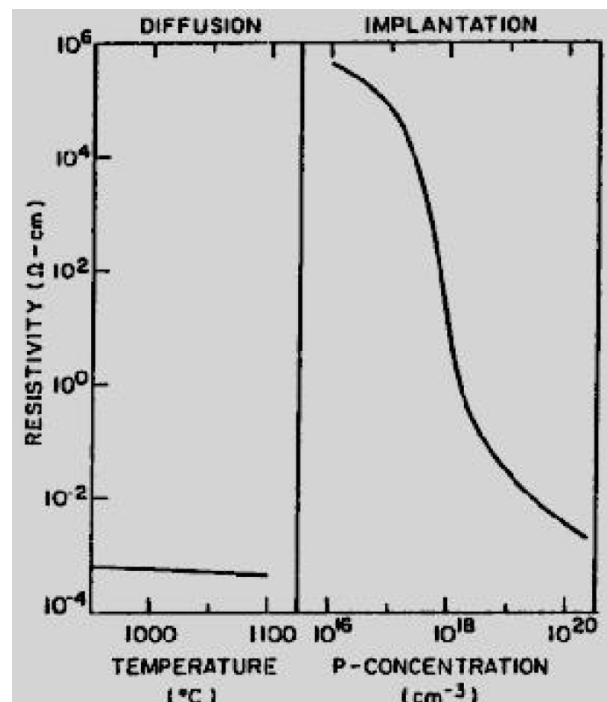
Spezifischer Widerstand von Metallen



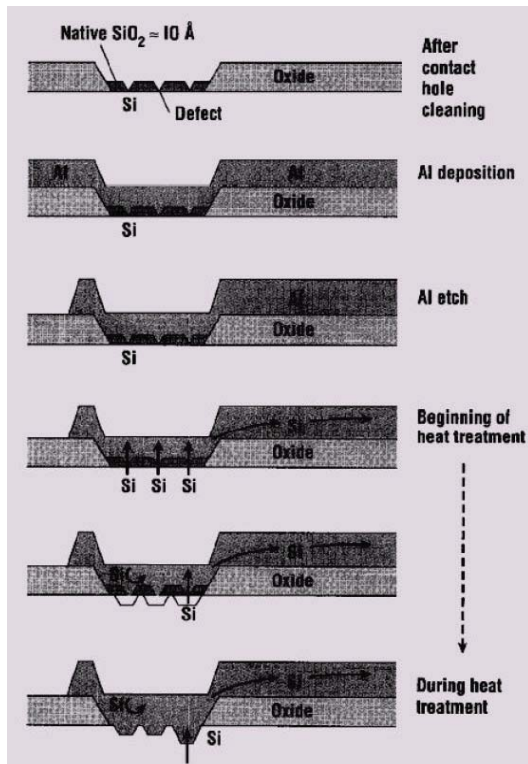
Silizide: 15 – 80 $\mu\Omega\cdot\text{cm}$

Poly-Si: 1 – 10 $\text{m}\Omega\cdot\text{cm}$

Spezifischer Widerstand von poly-Si



3.4.5. Metallisierung: Al - Spikes



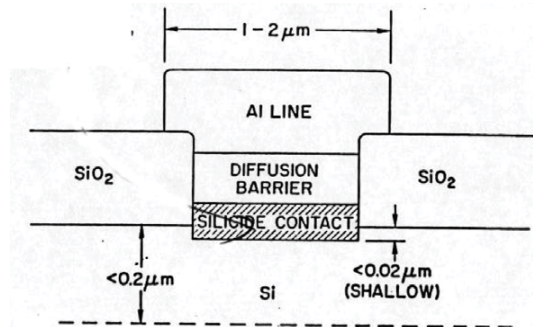
Bei ca. 450 °C löst sich Si in AL bis zu 1 %:

Al ist in Si nicht löslich!!

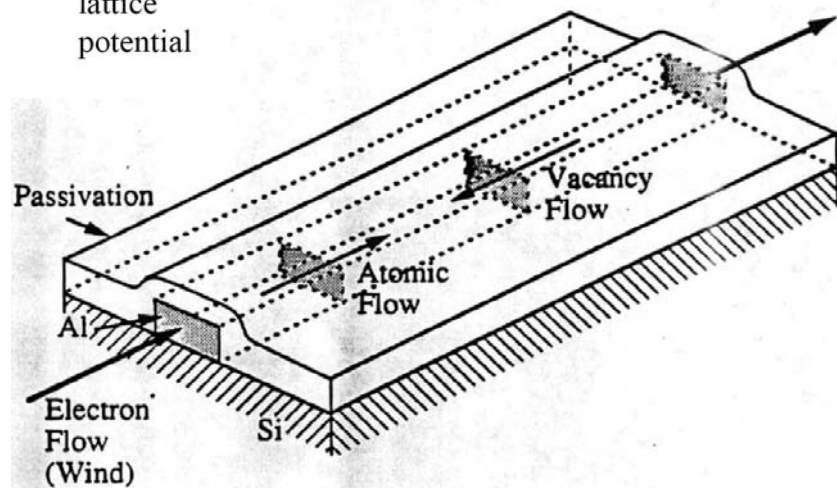
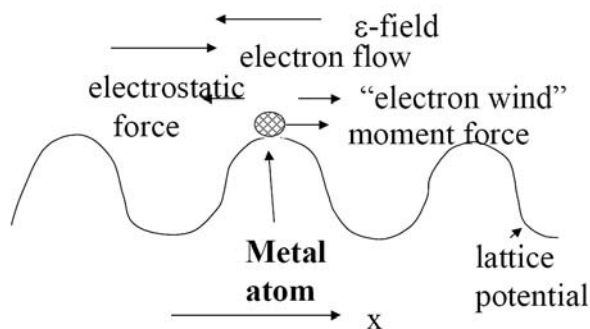
→ Bildung von Spikes

Problemlösung:

1. Zugabe von 2 % Si in Al
2. Diffusionsbarrieren

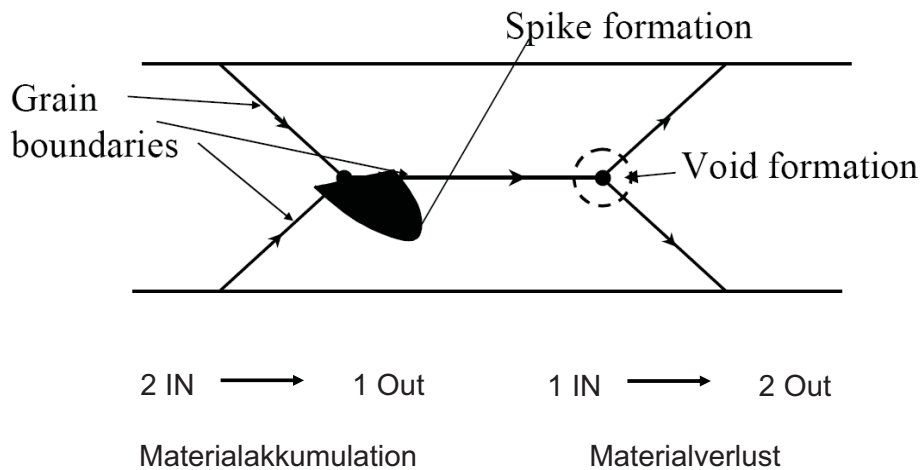


3.4.5. Metallisierung: Elektromigration (I)

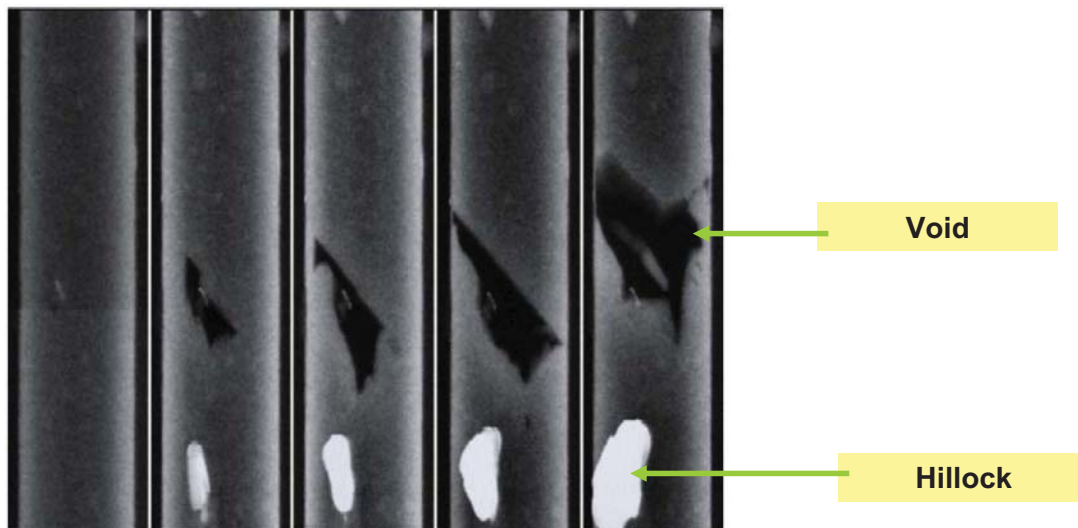


3.4.5. Metallisierung: Elektromigration (II)

Materialtransport unterstützt durch Korngrenzen:



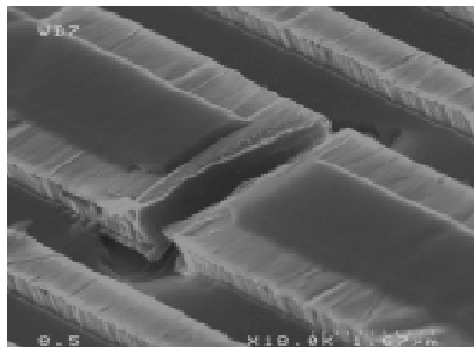
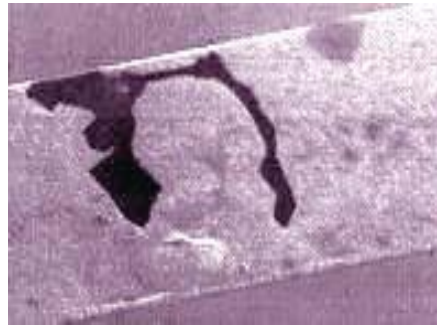
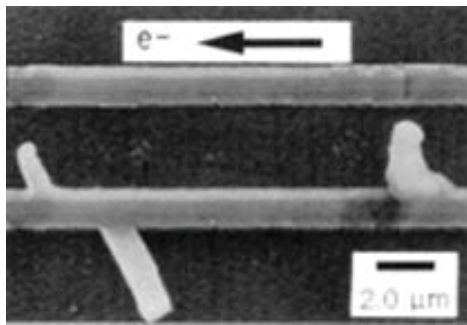
3.4.5. Metallisierung: Elektromigration (III)



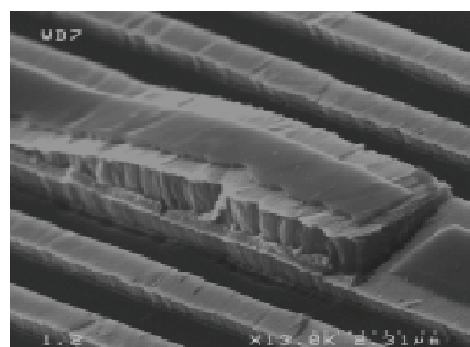
<http://www.iue.tuwien.ac.at/phd/sabelka/node7.html>



3.4.5. Metallisierung: Elektromigration (IV)



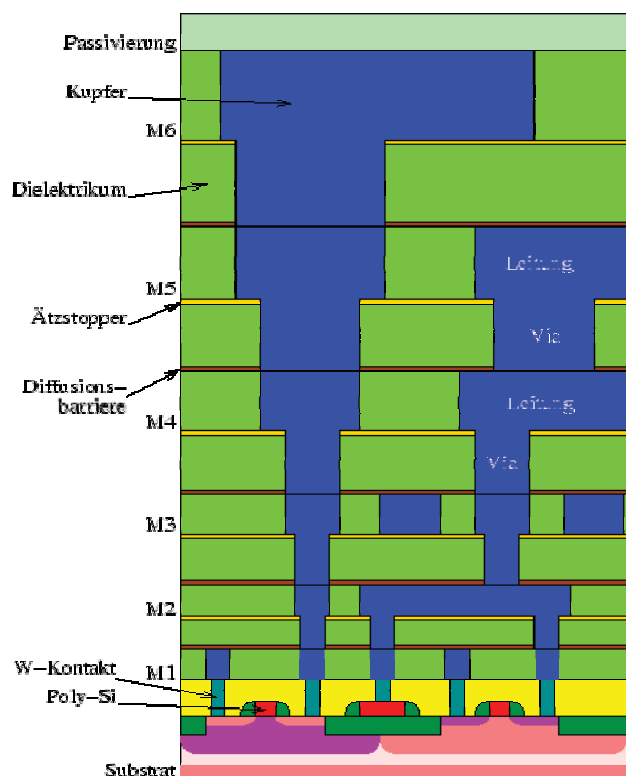
(a)

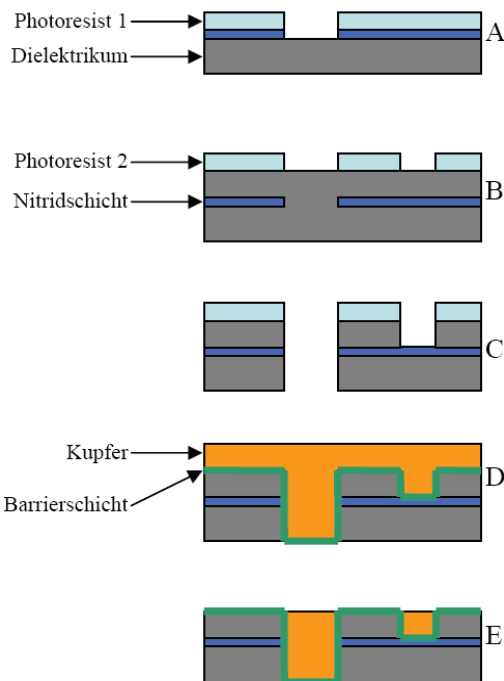


(b)



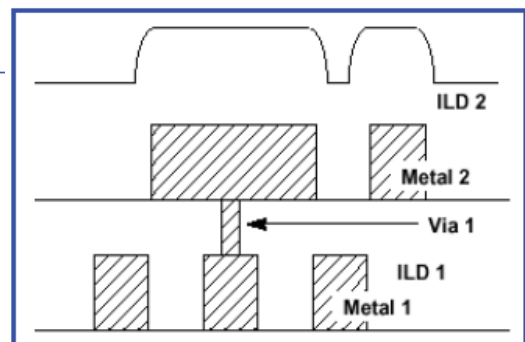
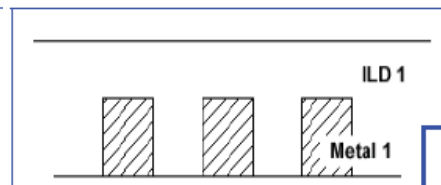
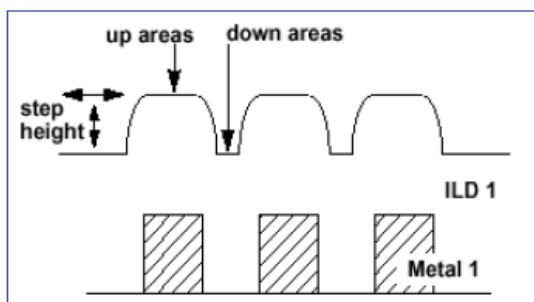
3.4.5. Metallisierung: Dual-Damascene Prozess (I)



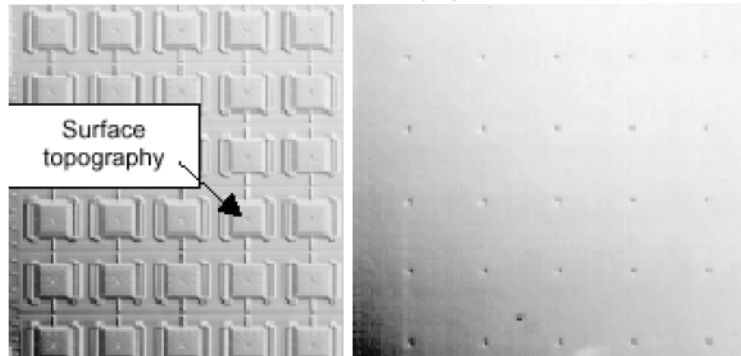
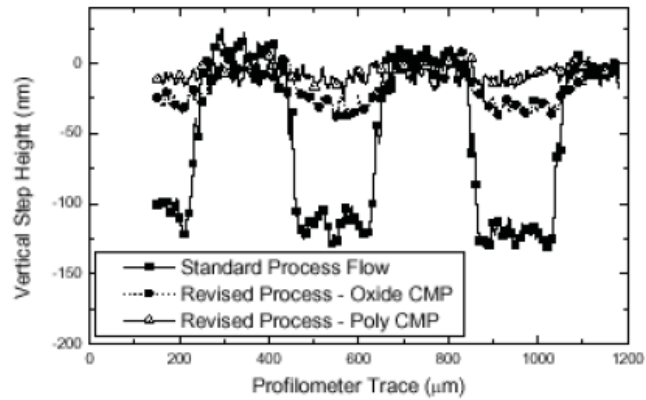
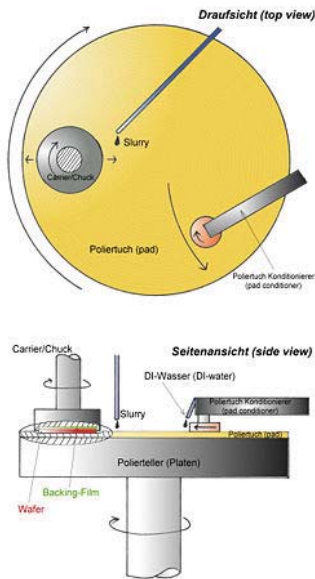


Dual Damascene Prozess:

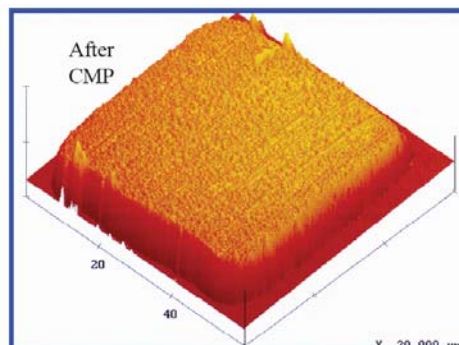
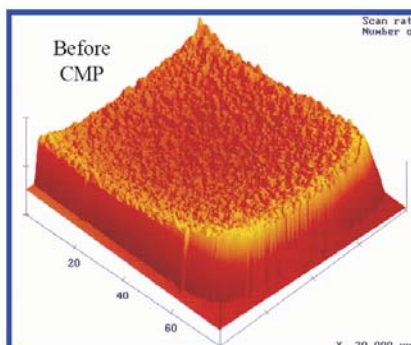
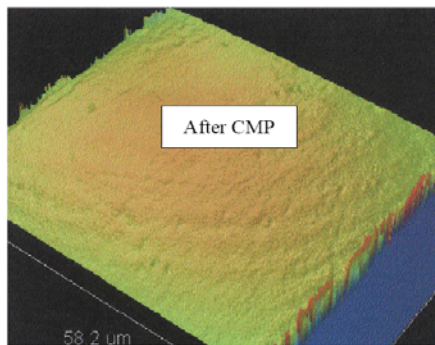
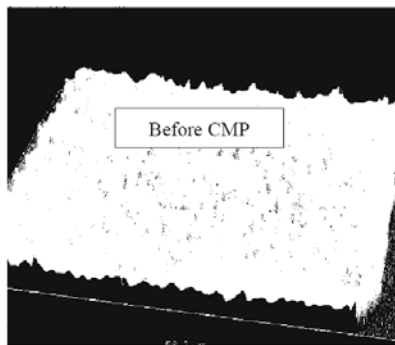
1. Es erfolgt die Abscheidung des Dielektrikums (grau gefärbte Schicht).
2. Durch CMP (Chemisch Mechanisches Polieren) wird das Dielektrikum auf die benötigte Schichtdicke gebracht. Diese entspricht der späteren Länge der Durchkontaktierung.
3. Eine Nitridschicht (blau gefärbte Schicht) wird auf das Dielektrikum abgeschieden.
4. Diese wird mit einem Photoresist für die spätere Durchkontaktierung belegt.
5. Die Nitridschicht wird an den nicht durch das Photoresist geschützten Stellen geätzt und man erhält ein Werkstück entsprechend Abbildung A. Von diesem wird anschließend das Photoresist entfernt.
6. Es erfolgt eine 2. Abscheidung des Dielektrikums.
7. Erneutes CMP des Dielektrikums. Diesmal entspricht die Schichtdicke der späteren Leiterbahndicke.
8. Das Photoresist wird für die Durchkontaktierung und die Leiterbahnen aufgebracht (Abbildung B).
9. Die Ätzung des Dielektrikums erfolgt. Die Nitridschicht ist nötig, damit die Strukturen für die Leiterbahnen erhalten werden. Nach diesem Prozess zeigt der Wafer eine gemäß Abbildung C aufgebaute Schichtabfolge.
10. Nun wird die Barrier-Schicht (TiN oder TaN etc.) aufgetragen.
11. Die Kupfermetallisierung (zunächst Seed-Layer, dann elektrochemische Cu-Abscheidung) erfolgt (Abbildung D).
12. Durch CMP des überschüssigen Kupfers erhält man einen Wafer mit den erforderlichen Leiterbahnen und Durchkontaktierungen (E).



3.4.5. Metallisierung: CMP (I)



3.4.5. Metallisierung: CMP (II)



4. CMOS-Inverter

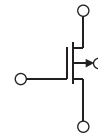
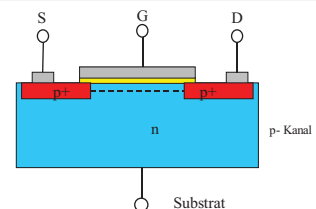
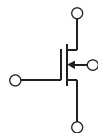
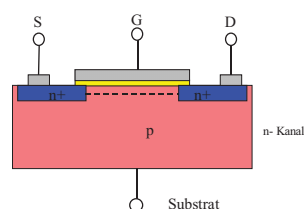
4. CMOS-Inverter

- 4.1. Schaltungstechnik
- 4.2. n- und p-Wannen CMOS-Prozess
- 4.3. Latch-up Effekt
- 4.4. Twin-Well-Prozess
- 4.5. Silicon-on-Isolator (SOI)

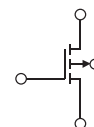
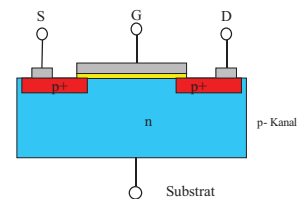
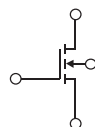
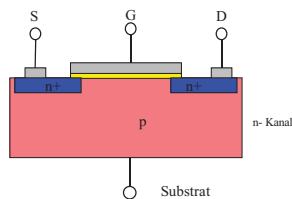


4.1. Schaltungstechnik: MOS-Transistoren (I)

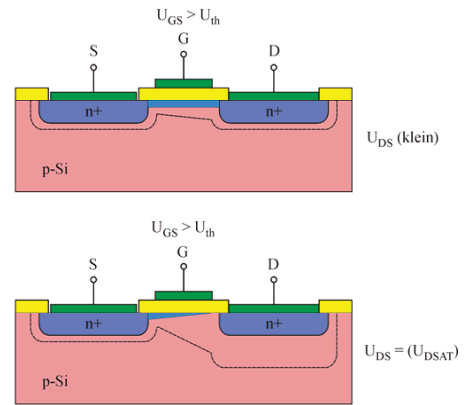
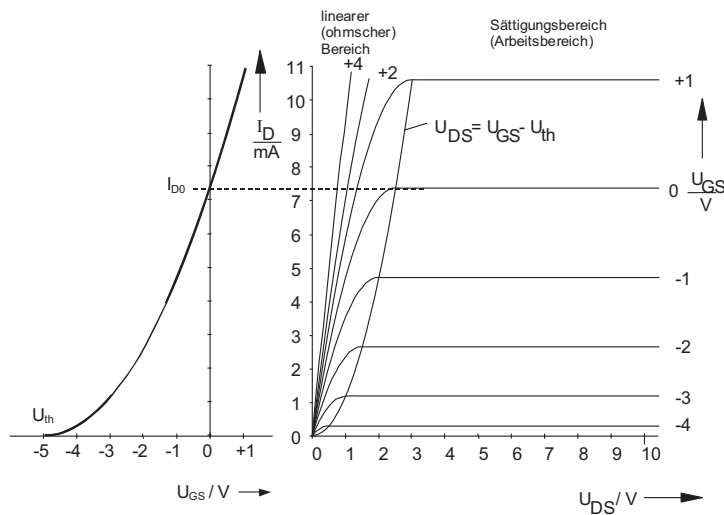
Verarmungstyp



Anreicherungstyp



4.1. Schaltungstechnik: MOSFET-Verarmungstyp

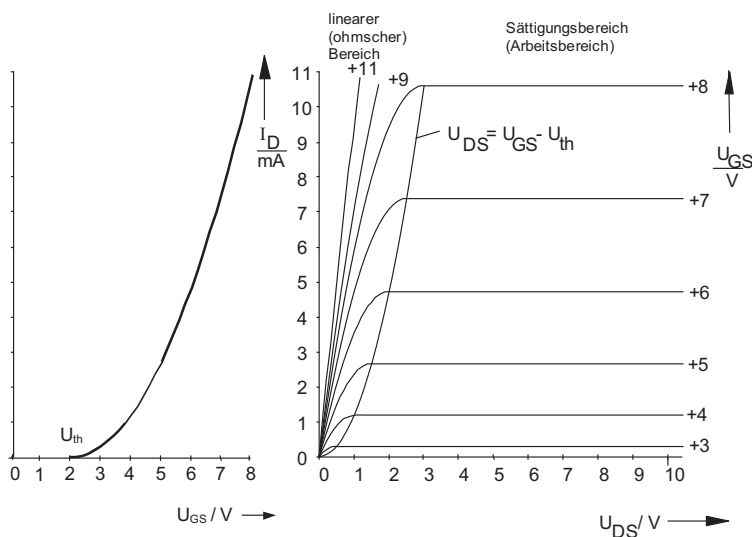


Eingangskennlinie

$$I_D = I_{D0} \left(1 - \frac{U_{GS}}{U_{th}} \right)^2 \Rightarrow I_D = \frac{I_{D0}}{U_{th}^2} (U_{GS} - U_{th})^2$$



4.1. Schaltungstechnik: MOSFET- Anreicherungstyp



Ausgangskennlinien

$$I_D = \beta \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - \frac{(U_{DS})^2}{2} \right] \quad \text{Linearer Bereich}$$

und

$$I_D = \frac{1}{2} \beta \cdot (U_{GS} - U_{th})^2 \quad \text{Sättigungsbereich}$$

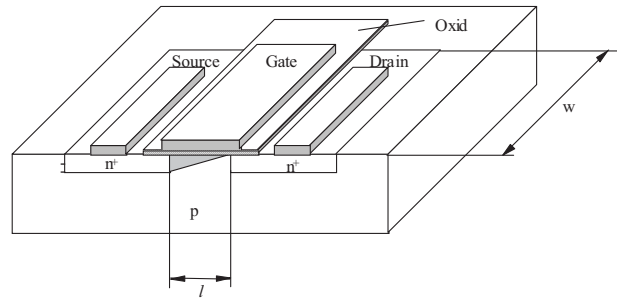


4.1. Schaltungstechnik: MOSFET-Kennlinien

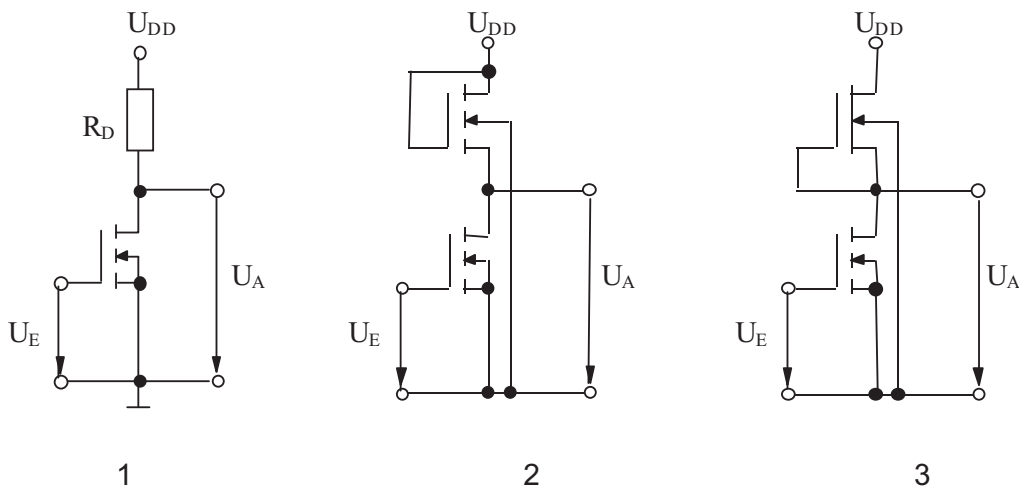
$$I_D = \begin{cases} 0 & U_{GS} \leq U_{th} \\ \beta \cdot \left((U_{GS} - U_{th}) - \frac{U_{DS}}{2} \right) \left(1 + \frac{U_{DS}}{U_A} \right) & \text{linearer Bereich} \\ \frac{\beta}{2} \cdot (U_{GS} - U_{th})^2 \left(1 + \frac{U_{DS}}{U_A} \right) & \text{Sättigungsbereich} \end{cases}$$

Steilheitskoeffizient: $\beta = \beta'_n \frac{w}{l} = \mu_n C'_{ox} \frac{w}{l}$

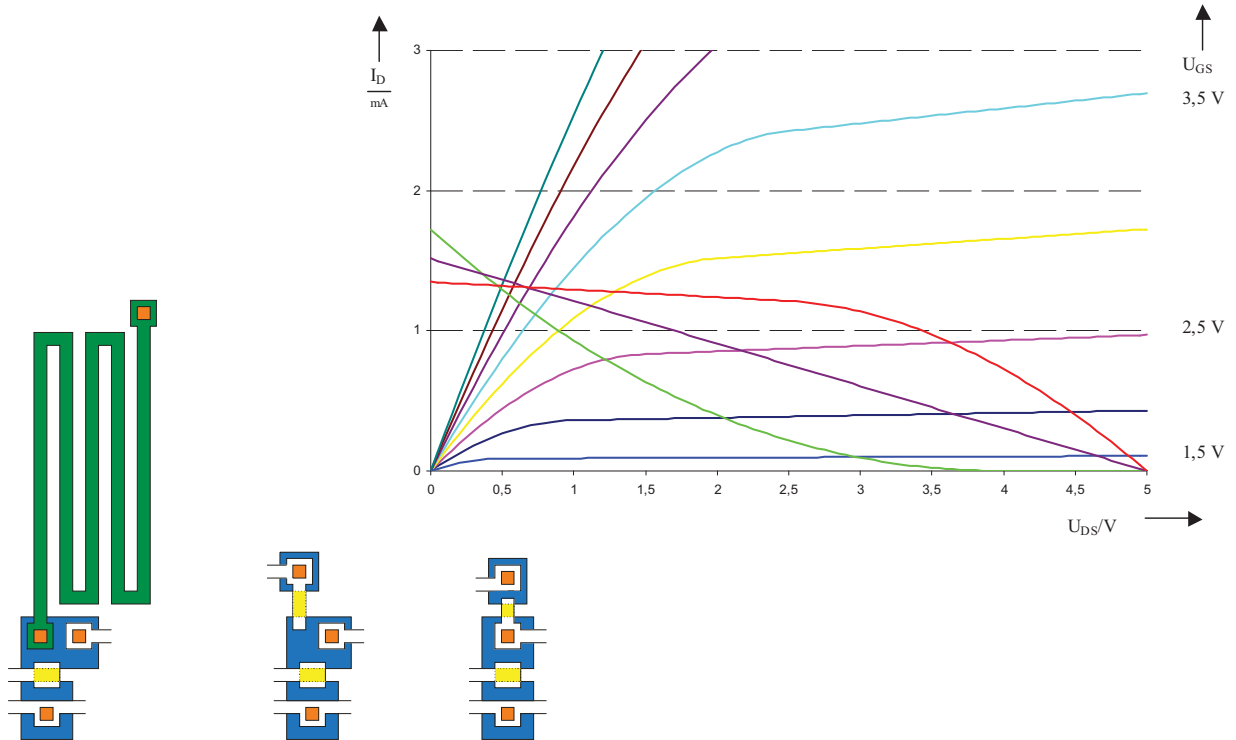
Kapazität des Gateoxids: $C_{ox} = C'_{ox} \cdot w \cdot l$



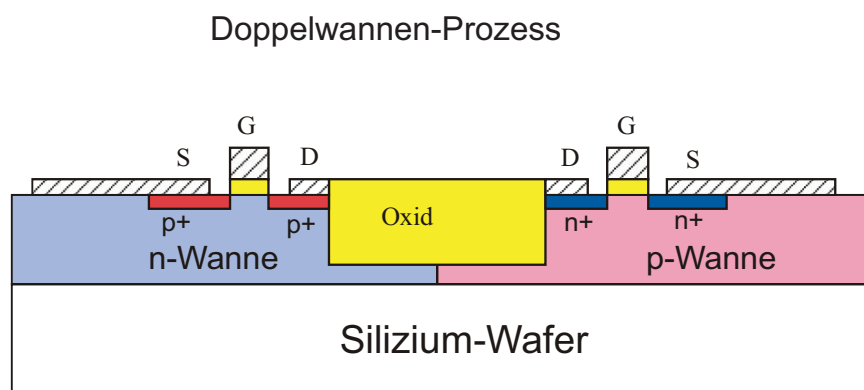
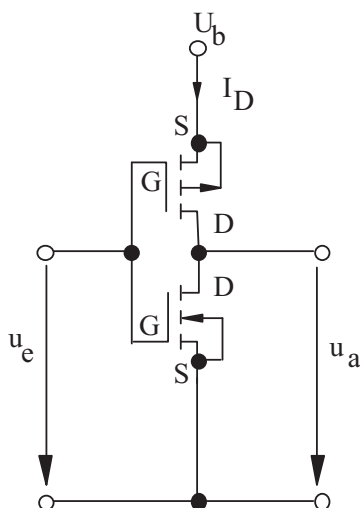
4.1. Schaltungstechnik: n-MOS-Inverter (I)



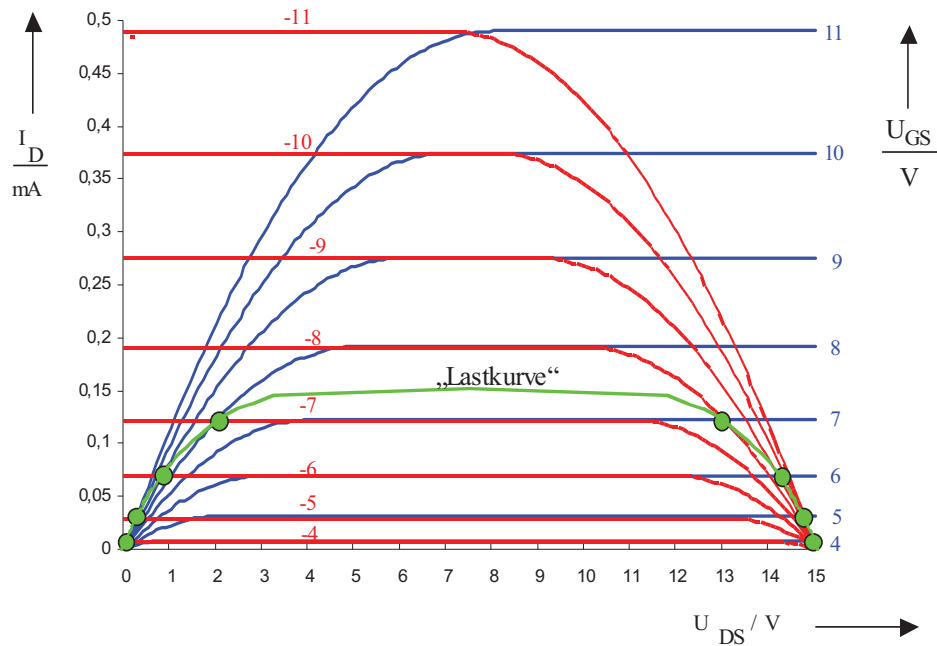
4.1. Schaltungstechnik: n-MOS-Inverter (II)



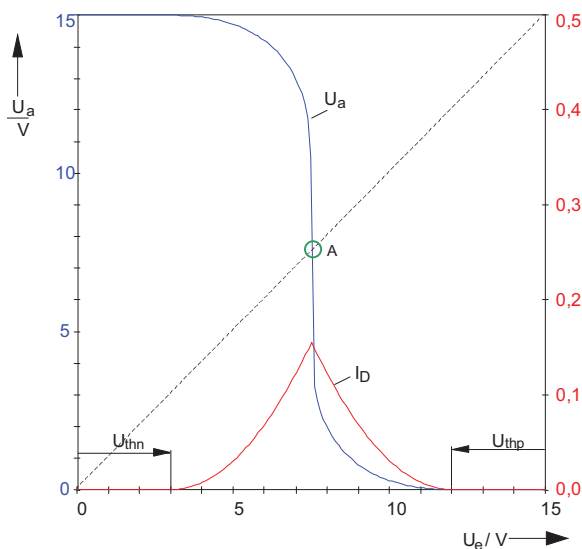
4.1. Schaltungstechnik: CMOS-Inverter



4.1. Schaltungstechnik: CMOS-Kennlinienfeld



4.1. Schaltungstechnik: CMOS-Übertragungskennlinie



$$I_D = \beta \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - \frac{(U_{DS})^2}{2} \right] \quad (\text{linearer Bereich})$$

$$I_D = \frac{1}{2} \beta \cdot (U_{GS} - U_{th})^2 \quad (\text{Sättigungsbereich})$$

$$-I_D = \beta \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - \frac{(U_{DS})^2}{2} \right] \quad (\text{linearer Bereich})$$

$$-I_D = \frac{1}{2} \beta \cdot (U_{GS} - U_{th})^2 \quad (\text{Sättigungsbereich})$$

$$\beta_n = \mu_n C'_{ox} \frac{w_n}{l_n} = \beta \quad \text{und} \quad \beta_p = \mu_p C'_{ox} \frac{w_p}{l_p} = \beta$$

mit $\mu_n \approx 3 \cdot \mu_p$ und der Annahme $l_n = l_p$ folgt:

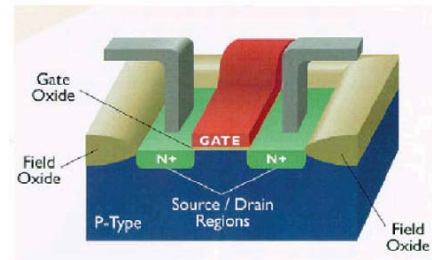
$$w_p \approx 3 \cdot w_n$$



4.2. n-Wannen-CMOS-Prozess (I)

CMOS-Prozesse

- n-Wannen-Prozess
- p-Wannen-Prozess
- Doppelwannen-Prozess



Herstellungsschritte im n-Wannen-CMOS-Prozess

Wafer mit SiO_2 (Oxidation)



Belackung mit Fotoresist, Belichtung mit n-Wannen-Maske



Universität Karlsruhe (TH)

Institut für Mikro- und Nanoelektronische Systeme



11

4.2. n-Wannen-CMOS-Prozess (II)

Entwickeln des Fotoresists



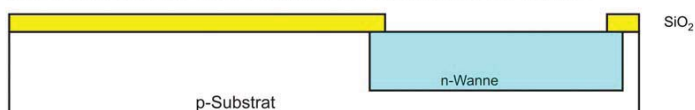
Ätzen des nicht abgedeckten SiO_2



Ablösen des Fotoresists



Ionenimplantation und Tempern zur Bildung der n-Wanne



Universität Karlsruhe (TH)

Institut für Mikro- und Nanoelektronische Systeme



12

4.2. n-Wannen-CMOS-Prozess (III)

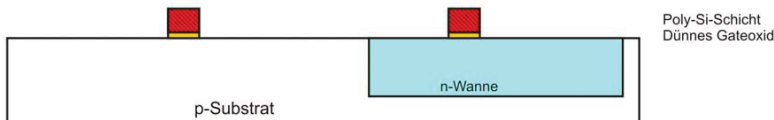
Abätzen des SiO_2 mit HF



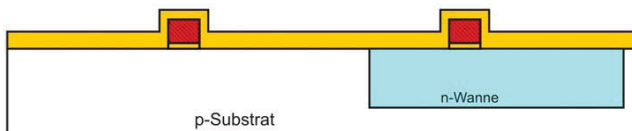
Oxidation des Gateoxids, poly-Si-Schicht (CVD)



Strukturierung des Poly-Si-Gates

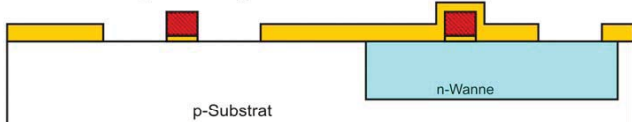


Oxidation für Implantationsmaske

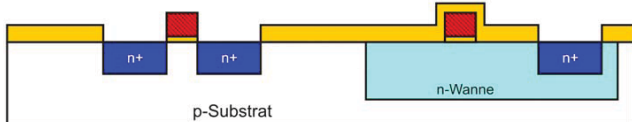


4.2. n-Wannen-CMOS-Prozess (IV)

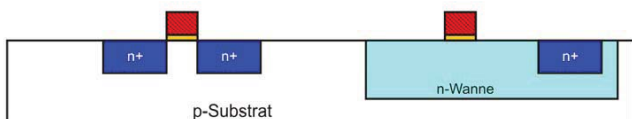
Strukturierung des SiO_2 für n^+ -Kontakte



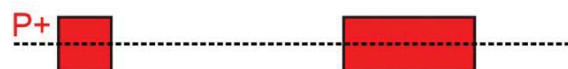
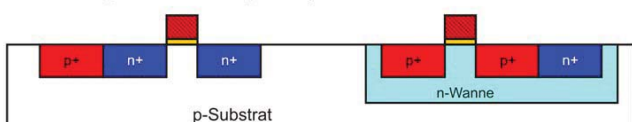
Ionenimplantation der n^+ -Kontakte



Abätzen des Oxids

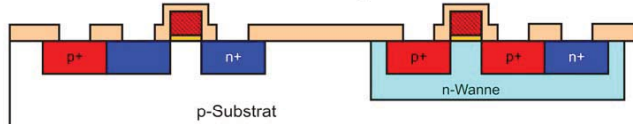


Gleichartige Prozessfolge für p^+ -Kontakte



4.2. n-Wannen-CMOS-Prozess (V)

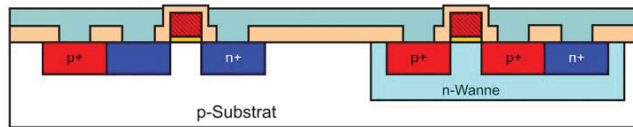
Dickes Feldoxid und Strukturierung der Via's



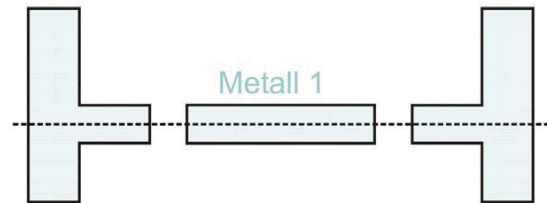
Dickes Feldoxid



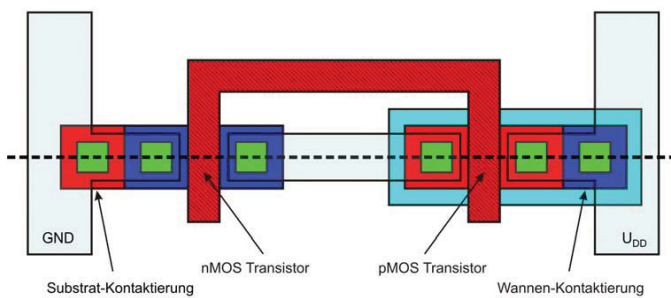
Metallisierung und CMP



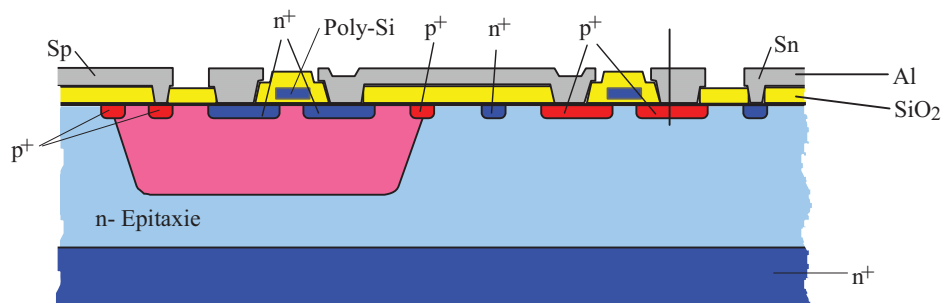
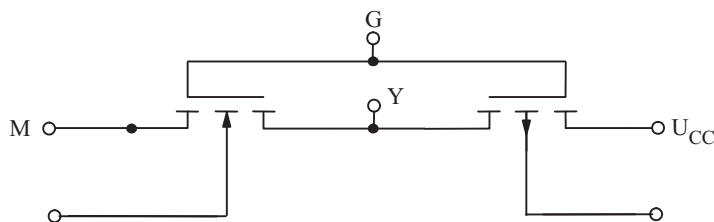
Metall
Dickes Feldoxid



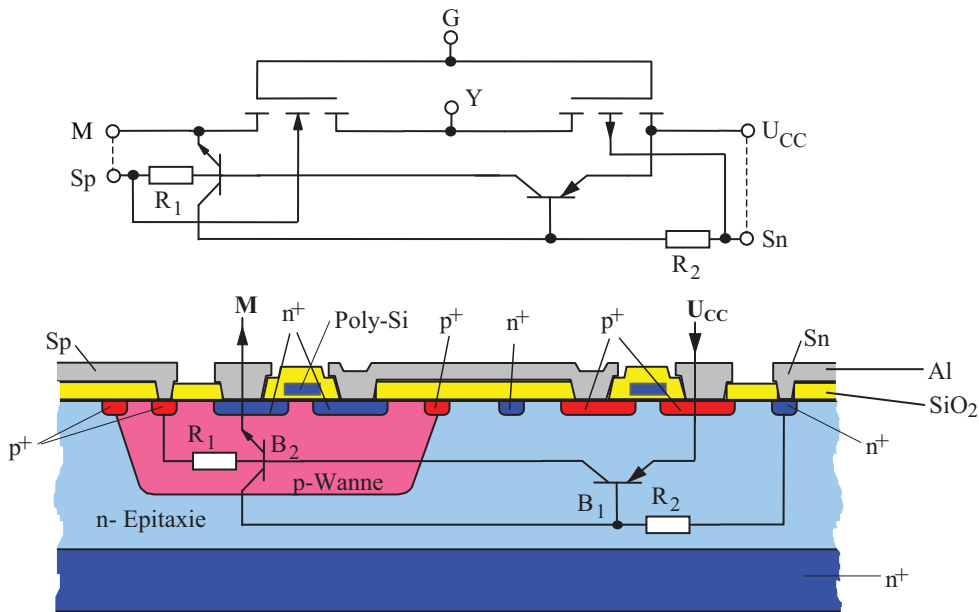
Layoutansicht des CMOS-Inverters



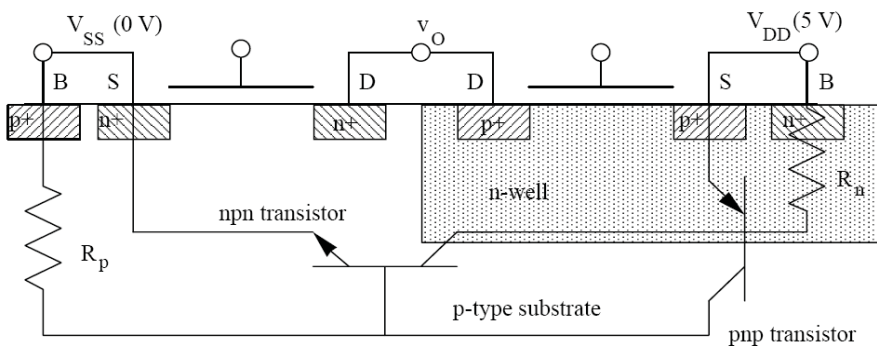
4.3. p-Wannen-CMOS-Prozess



4.3. Latch-up Effekt: p-Wannen CMOS



4.3. Latch-up Effekt: n-Wannen CMOS



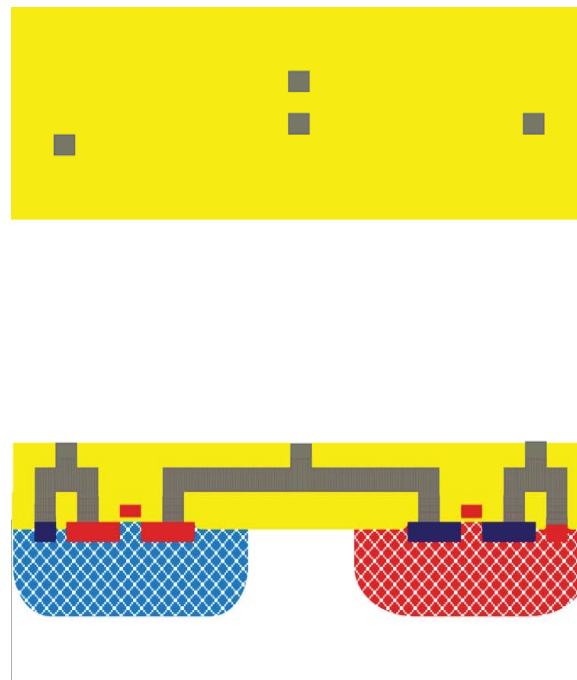
Beseitigung des Latch-up Effektes

- Doppelwannen-Prozess (Twin-well)
- Schutzringe (guard rings)
- Graben-Isolation
- Silicon-on-Isolator (SOI)



4.4. Doppelwannen CMOS-Prozess (I)

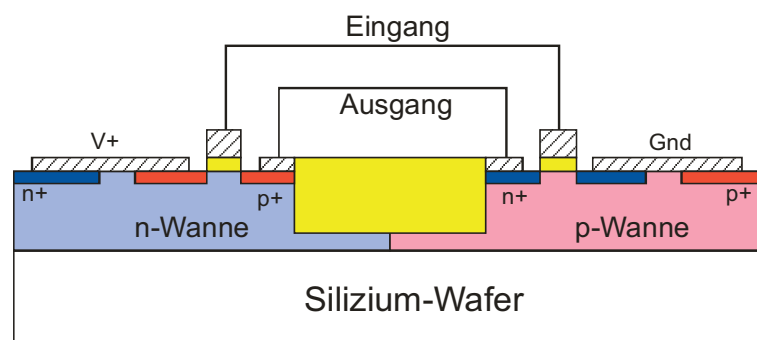
Metall entfernen



- SiO₂
- Siliziumnitrid
- Photolack
- Belichteter Photolack
- n Wanne
- Maske
- p Wanne
- Polysilizium
- n+ Dotierung
- p+ Dotierung
- Aluminium



4.4. Doppelwannen CMOS-Prozess (II)



Vorteile:

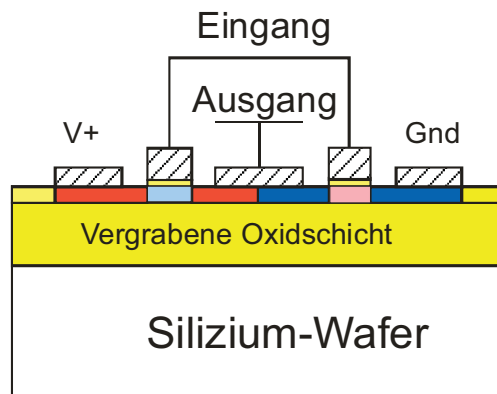
- n-Kanal und p-Kanal-Transistor können jeder für sich optimiert werden.
- hochohmiges Substrat reduziert die Anfälligkeit für den Latch-Up-Effekt
- Feldoxid reduziert die Leckströme zwischen den beiden Transistoren

Nachteile:

- Zusätzliche Prozessschritte und damit teurer als der p-well Prozess



4.5. Silicon-on-Isolator (SOI)



Vorteile:

- Isolierendes Substrat , d.h: keine Substrateffekte
- Kein Latch-Up
- Keine parasitären Kapazitäten gegenüber Versorgungsspannung

Nachteile:

- Zusätzliche Prozessschritte



5. Ultra-Large Scale Integration (ULSI)

5.1. Skalierungsregeln

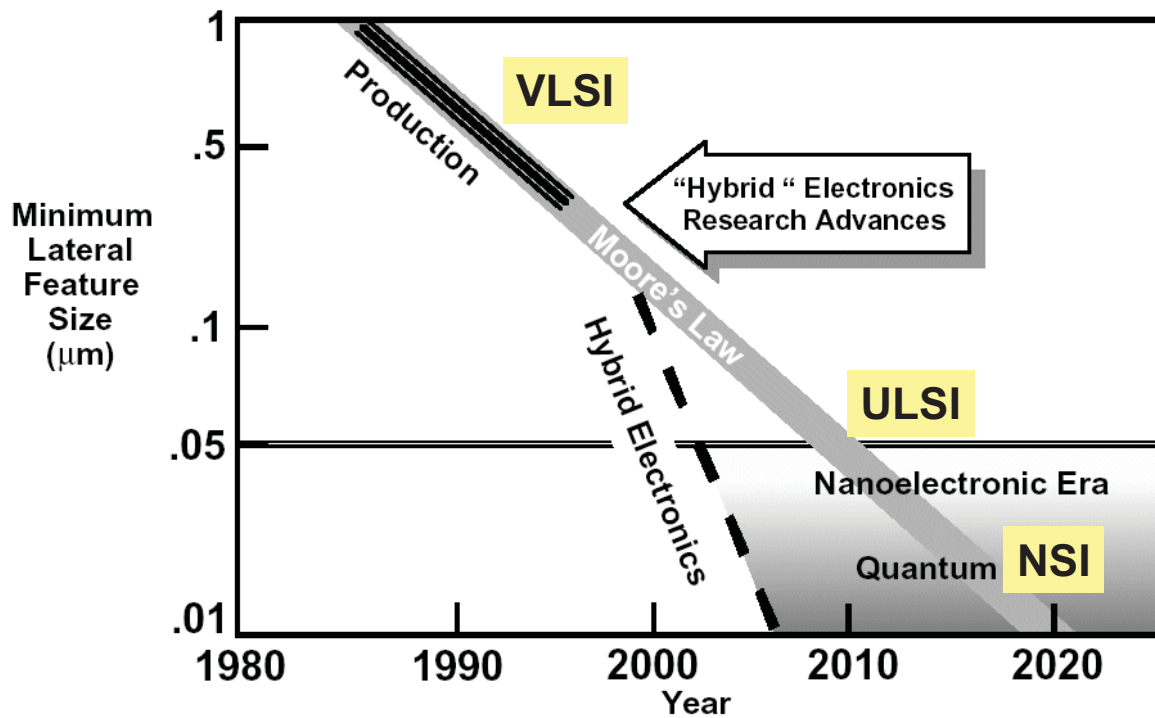
5.2. Kurzkanaleffekte

5.3. ULSI-Ausblick

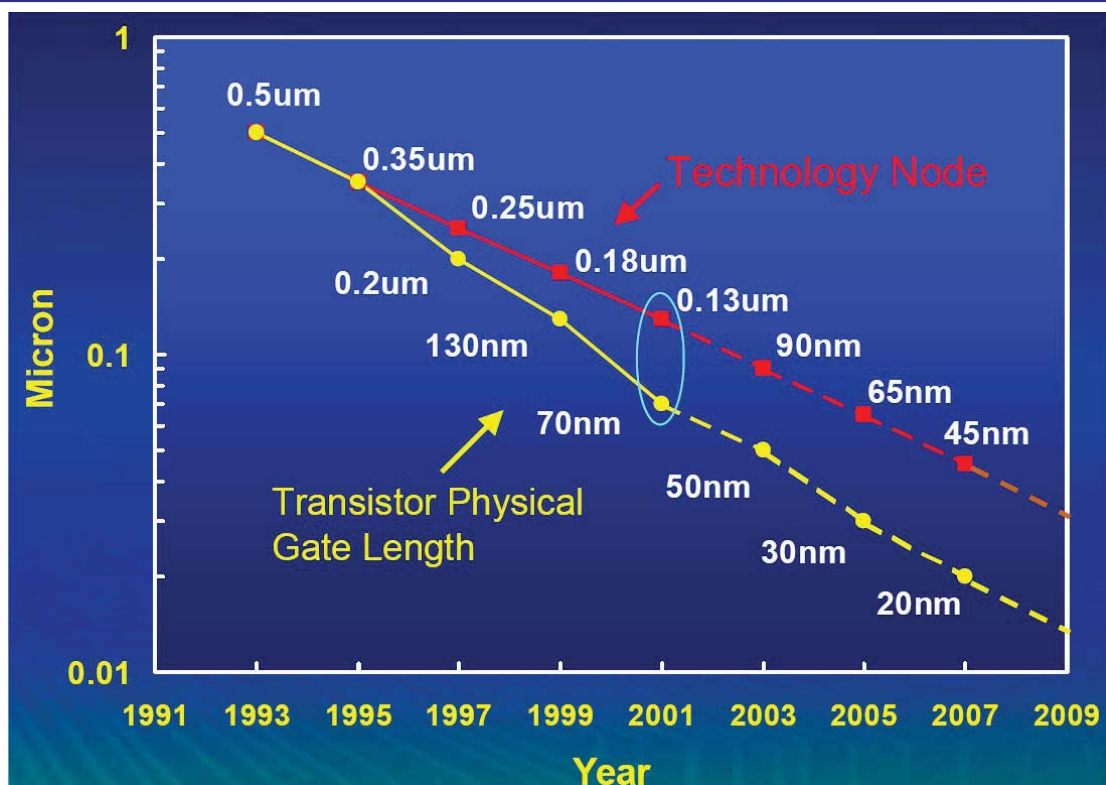
Characteristic	1999	2001	2004	2008
Process Technology [nm]	180	130	90	60
Logic Transistors [mil]	23.8	47.6	135	539
Across-chip Clock Speed [MHz]	1200	1600	2000	2655
Die area [sq. mm]	340	340	390	468
Wiring Levels	6	7	8	9



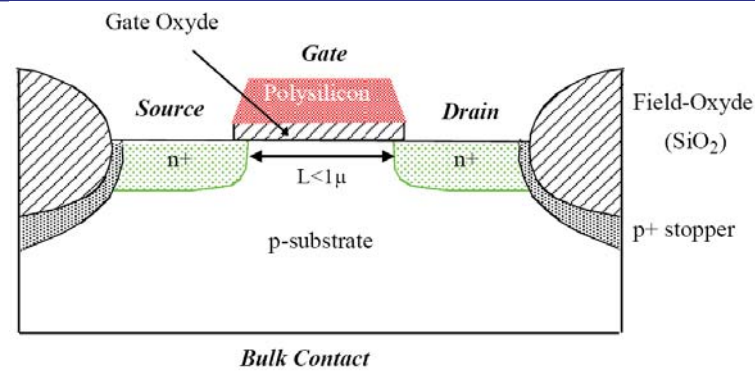
5. Ultra-Large Scale Integration (ULSI)



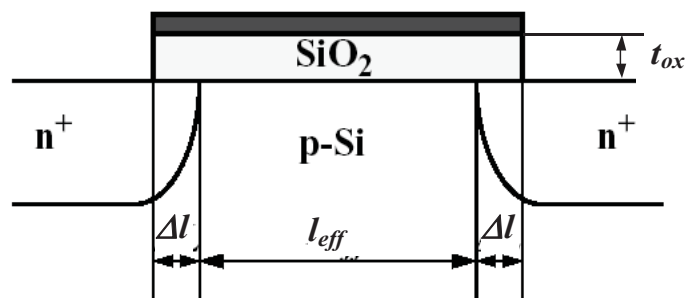
5.1. Skalierungsregeln: Effektive Kanallänge (I)



5.1. Skalierungsregeln: Effektive Kanallänge (II)

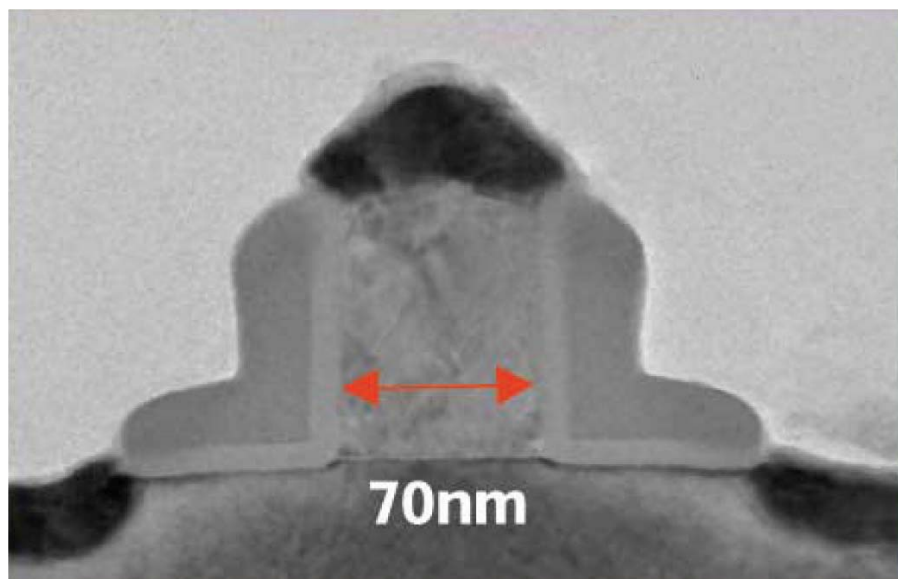


$$l_{eff} = l - 2 \Delta l$$



5.1. Skalierungsregeln: Effektive Kanallänge (III)

0,13 μm-Prozeß:

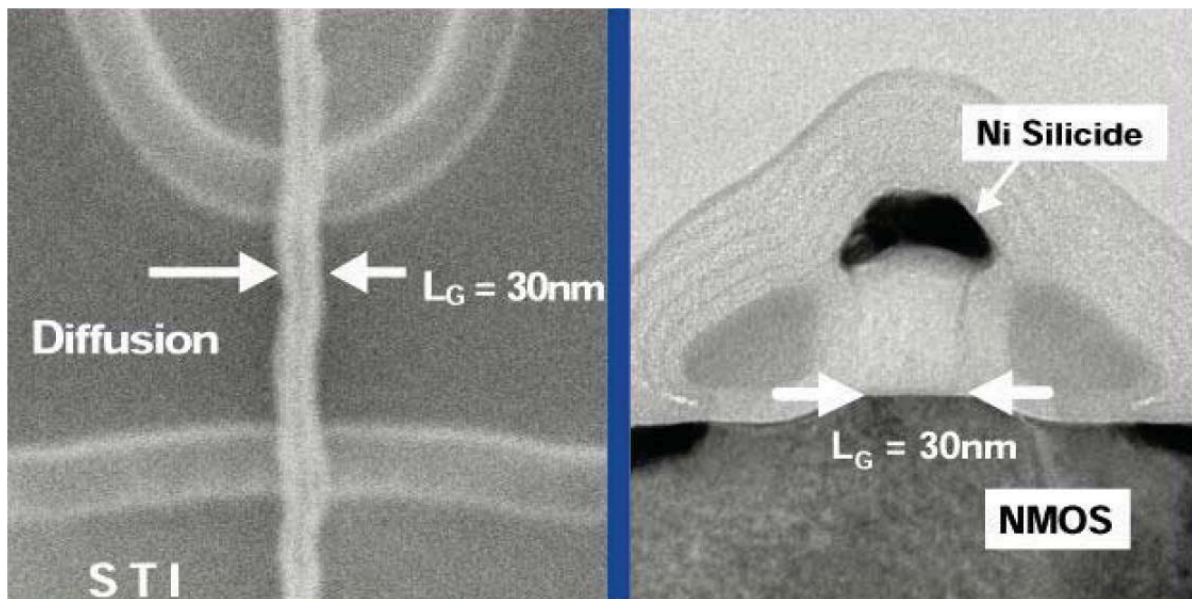


reale Kanallänge: 70 nm



5.1. Skalierungsregeln: Effektive Kanallänge (IV)

65 nm-Prozeß:



reale Kanallänge: 30 nm



5.1. Skalierungsregeln

Ziele der Skalierung

- Reduzierung der Anstiegs und Abfallzeiten
- Erhöhung der Taktfrequenz
- Erhöhung der Bauteildichte
- Reduzierung der Verlustleistung

Verkleinerung aller Lineardimensionen mit dem Skalierungsfaktor S

→ Forderung: $E = \text{const.}$

Elektrische Feldstärke im Kanal:

$$E' = \frac{U'}{\ell'} = \frac{U \cdot S}{\ell \cdot S} = \frac{U}{\ell} = E$$

Verringerung der Spannungen mit dem Skalierungsfaktor S



5.1. Skalierungsregeln

Schwellspannung: $U'_{th} = U_{th} \cdot S$

Drainstrom: $I_D = \mu_{eff} C'_{ox} \frac{w}{l} \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - \frac{(U_{DS})^2}{2} \right] \quad (\text{linearer Bereich})$

$$I'_D = \mu_{eff} \frac{C'_{ox}}{S} \frac{w}{l} \cdot S \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} \cdot S^2 - \frac{(U_{DS} \cdot S)^2}{2} \right] = I_D \cdot S$$

$$I_D = \frac{1}{2} \mu_{eff} C'_{ox} \frac{w}{l} \cdot (U_{GS} - U_{th})^2 \quad (\text{Sättigungsbereich})$$

$$I'_D = \frac{1}{2} \mu_{eff} \frac{C'_{ox}}{S} \frac{w}{l} \cdot S \cdot (U_{GS} - U_{th})^2 \cdot S^2 = I_D \cdot S$$



5.1. Skalierungsregeln

Kanalwiderstand : $R' = \frac{U'_{DS}}{I'_D} = \frac{U_{DS} \cdot S}{I_D \cdot S} = \frac{U_{DS}}{I_D} = R$

Kapazitäten: $C' = \epsilon_0 \epsilon_{ox} \frac{A'}{t'_{ox}} = \epsilon_0 \epsilon_{ox} \frac{A \cdot S^2}{t'_{ox} \cdot S} = C \cdot S$

Zeitkonstante/Umschaltzeit: $\tau' = R' \cdot C' = R \cdot C \cdot S = \tau \cdot S$

Verlustleistung: $P' = U'_{DS} \cdot I'_D = U_{DS} \cdot S \cdot I_D \cdot S = P \cdot S^2$

Verlustleistung pro Fläche: $\frac{P'}{A'} = \frac{P \cdot S^2}{A \cdot S^2} = \frac{P}{A}$

Umschaltenergie (Leistung · Umschaltzeit): $P' \cdot \tau' = P \cdot S^2 \cdot \tau \cdot S = P \cdot \tau \cdot S^3$



5.2. Kurzkanaleffekte: 2D-Potentialverteilung (I)

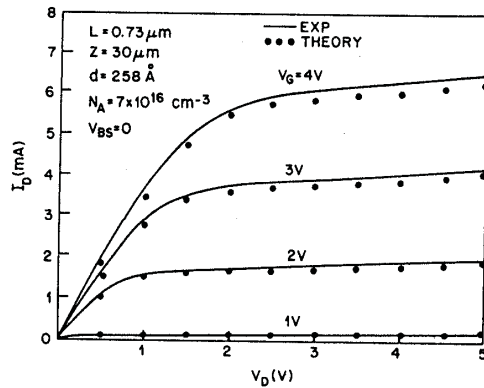


Fig. 40 Drain characteristics of a MOSFET with 0.73- μm channel length. (After Fichtner, Ref. 45.)

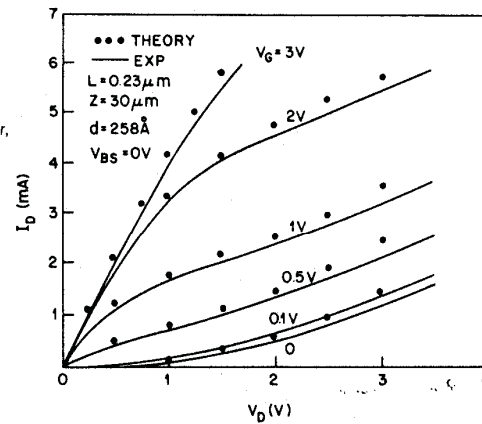


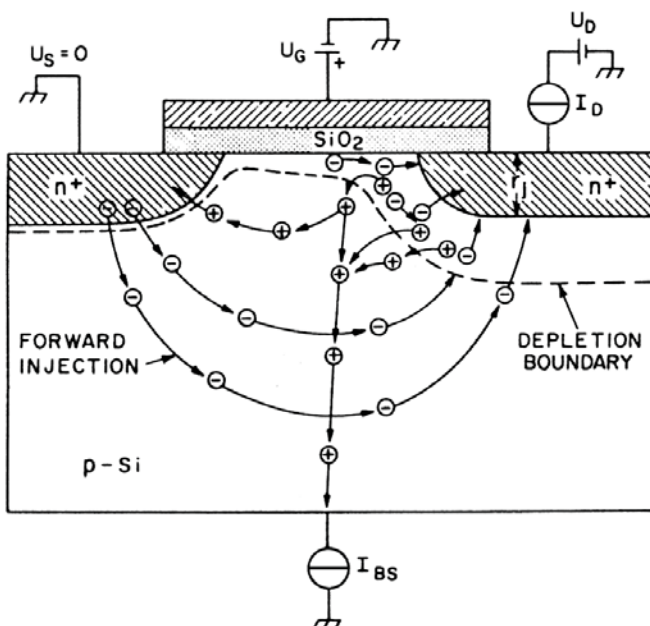
Fig. 41 Drain characteristics of a MOSFET having the same device parameters except that $L = 0.23 \mu\text{m}$. (After Fichtner, Ref. 45.)



5.2. Kurzkanaleffekte: 2D-Potentialverteilung (II)

Skalierung:

- Langkanal-MOSFETs $\Rightarrow$ 1-D Potential im Kanal
- Kurzkanal-MOSFET $\Rightarrow$ 2-D Potential im Kanal

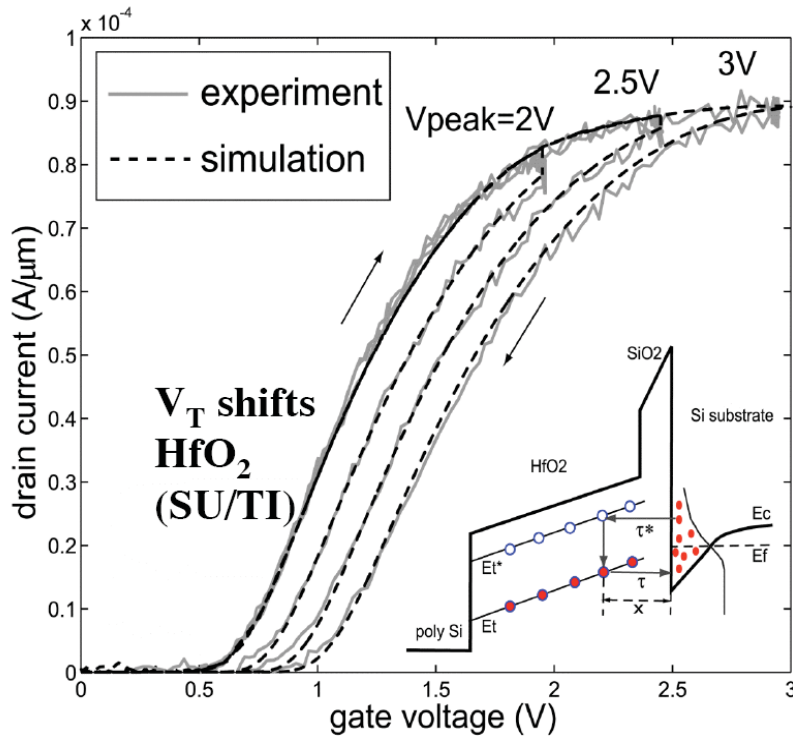


Lösung:

- LDD (Lightly doped Drain)
- SOI (Silicon-on-Isolator)
- hoch-k Oxide



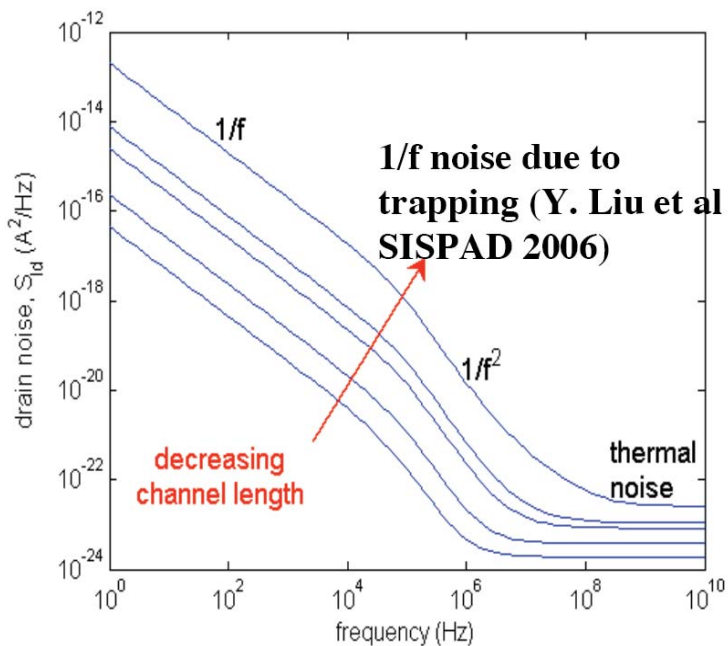
5.2. Kurzkanaleffekte: high-k Gateoxid



Verringerung von U_{th}



5.2. Kurzkanaleffekte: Rauschen

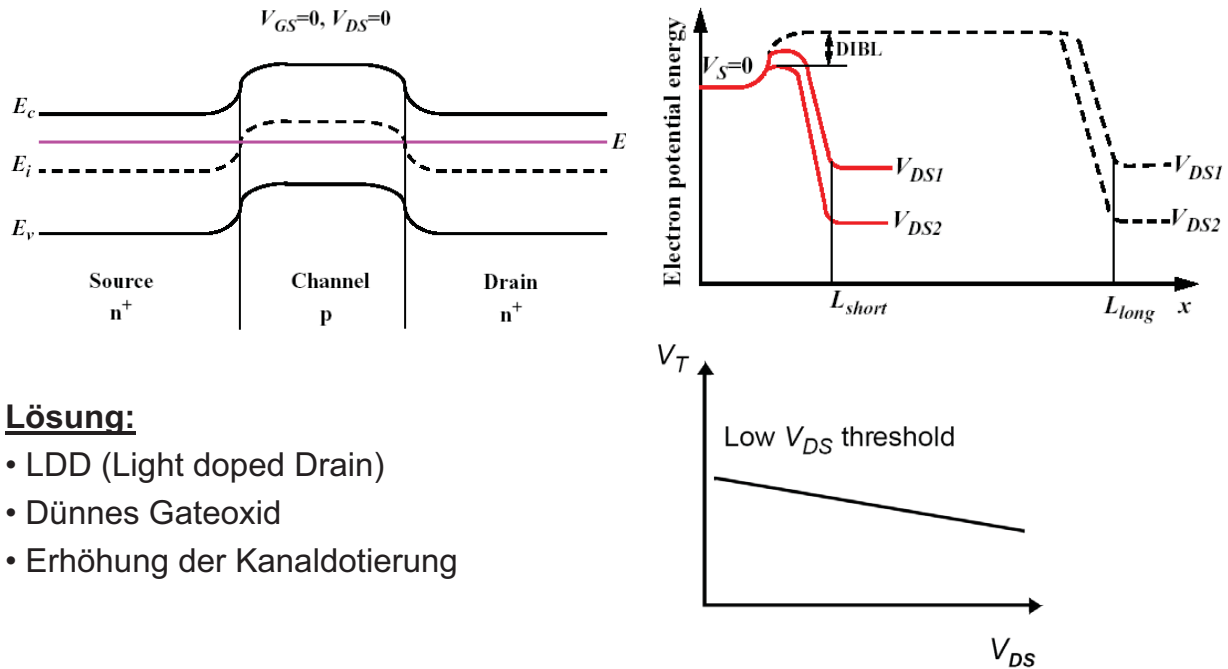


Erhöhung des Rauschens



5.2. Kurzkanaleffekte: DIBL

DIBL – Drain-Induced Barrier Lowering



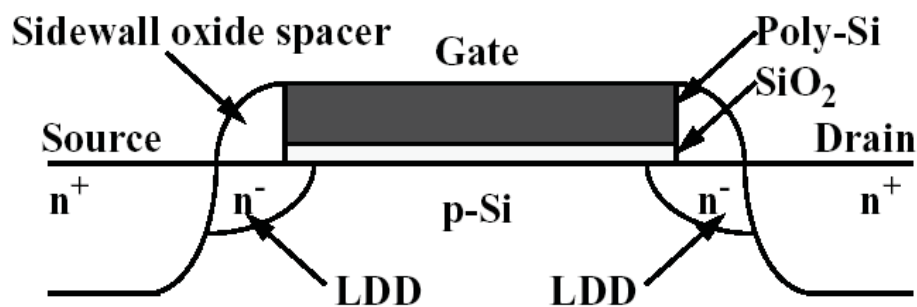
Lösung:

- LDD (Light doped Drain)
- Dünnes Gateoxid
- Erhöhung der Kanaldotierung

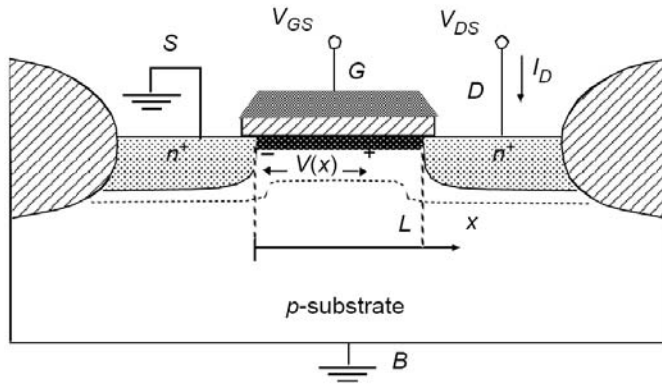


5.2. Kurzkanaleffekte: LDD

LDD - Lightly doped Drain



5.2. Kurzkanaleffekte: Sättigung der Geschwindigkeit $v_{n,p}$



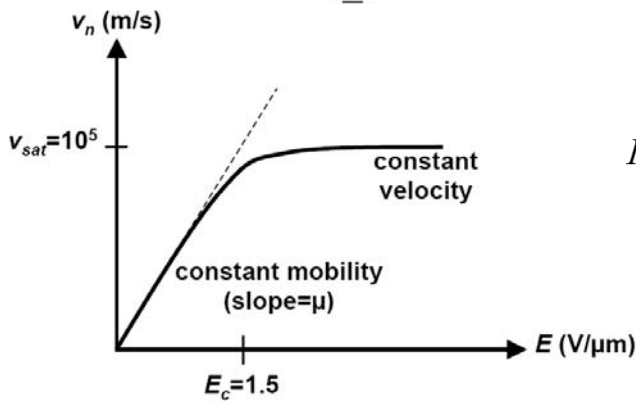
$$Q_i(x) = -C_{OX}[V_{GS} - V(x) - V_T]$$

$$I_D = -v_n(x)Q_i(x)W$$

$$v_n = -\mu_n E(x) = \mu_n \frac{dV}{dx}$$

$$v = \frac{\mu_n E}{1 + E/E_C} \quad \text{for } E \leq E_C$$

$$v = v_{sat} \quad \text{for } E \geq E_C$$



$$I_D = \kappa(V_{DS})\mu_n C_{OX} \frac{W}{L} \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right]$$

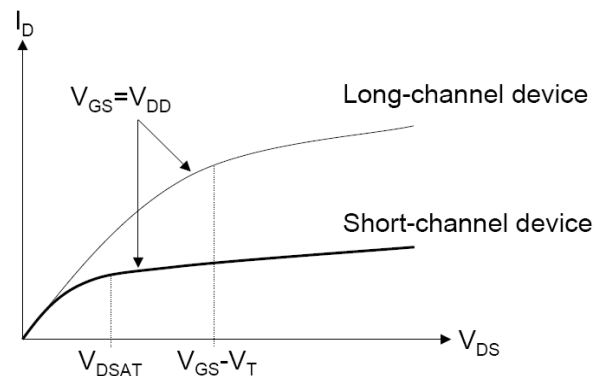
$$\kappa(V_{DS}) = \frac{1}{1 + (V_{DS}/E_C L)}$$



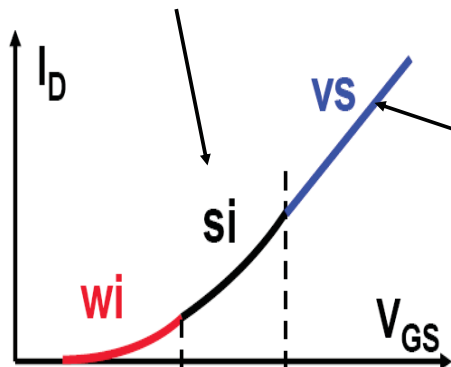
5.2. Kurzkanaleffekte: Sättigung der Geschwindigkeit $v_{n,p}$

Einfache Näherung:

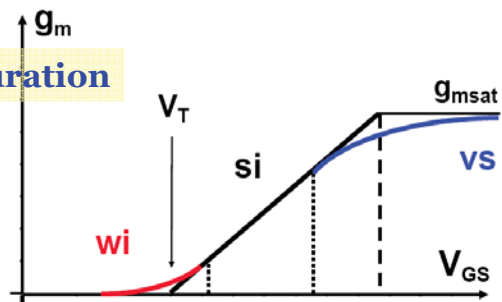
$$I_D = v_{satn} \cdot C'_{ox} \cdot w \cdot (U_{GS} - U_{th})$$



Strong Inversion



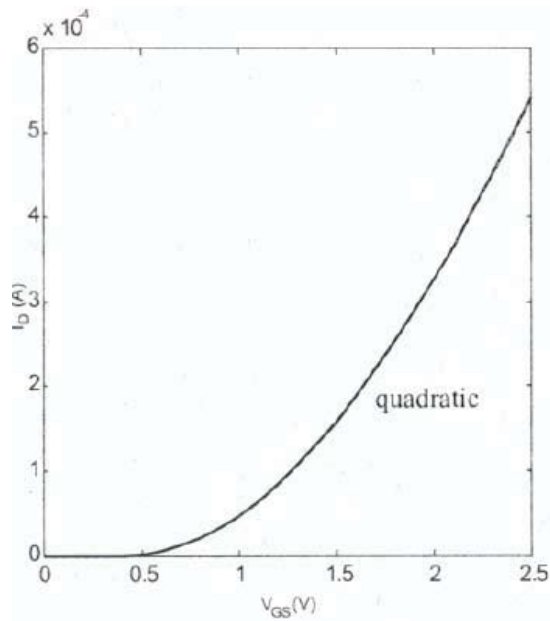
Velocity Saturation



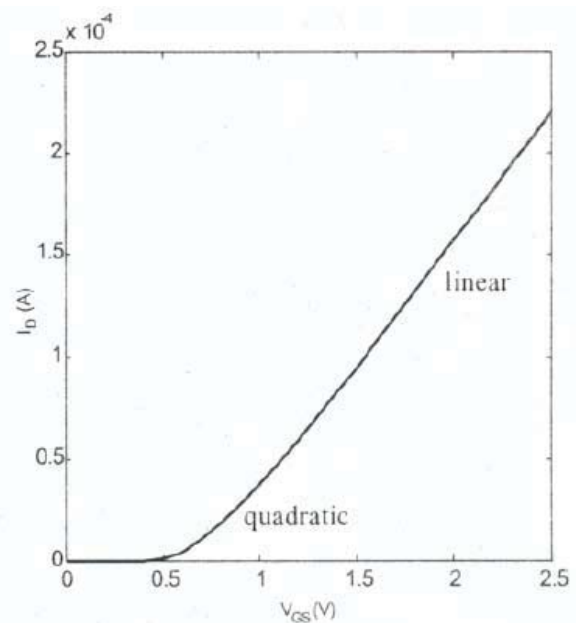
Weak Inversion



5.2. Kurzkanaleffekte: Kennlinien



(a) Long-channel device ($L_d = 10 \mu\text{m}$)

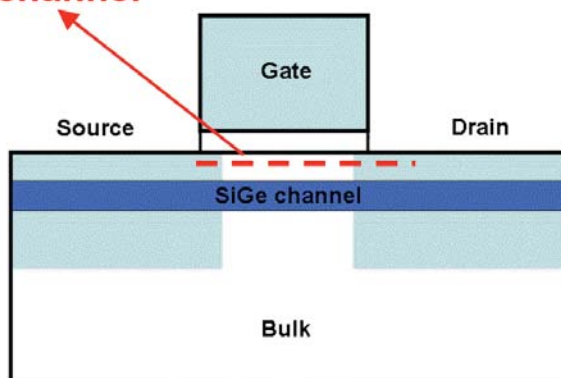


(b) Short-channel device ($L_d = 0.25 \mu\text{m}$)



5.2. Kurzkanaleffekte: SiGe-Kanal

Parasitic surface channel

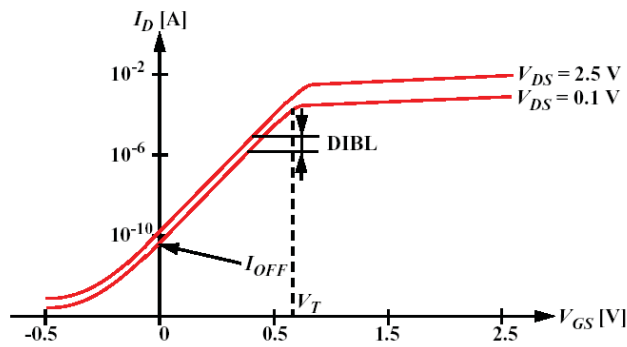


SiGe-Kanal

- hohe Beweglichkeit
- hohe v_{sat}
- hohe Steilheit
- geringeres Rauschen



5.2. Kurzkanaleffekte: sub-Schwellspannungsverhalten



$$S = \frac{dU_{GS}}{d(\log I_D)}$$

$$I_D = \frac{\mu_{eff} \cdot C_{ox}}{2(1 + \theta U_{eff})} \cdot \frac{w}{L} \cdot U_{eff}^2 \quad \text{mit } U_{eff} = U_{GS} - U_{th}$$

für 0,8 μm – Technologie: $\theta = 0,6 \text{ V}^{-1}$



5.2. Kurzkanaleffekte: Gatterlaufzeit

Reduktion von U_{th}



Erhöhung der Gatterlaufzeit

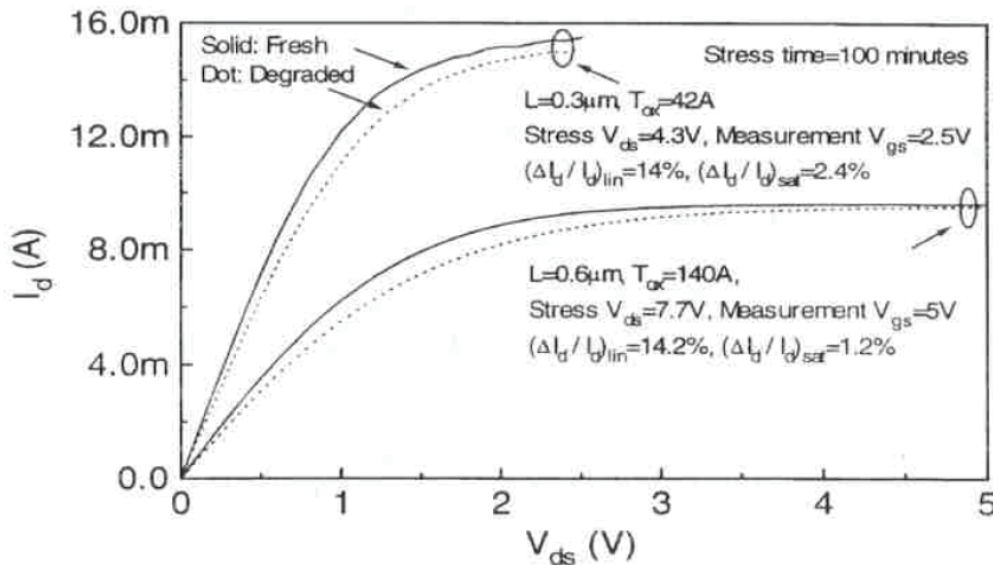
$$t_{Delay} = \frac{C_L}{I_D} \cdot \frac{V_{dd}}{2} = \frac{C_L \cdot V_{dd}}{\mu \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{dd} - V_{th})^2}$$



5.2. Kurzkanaleffekte: Heiße Ladungsträger

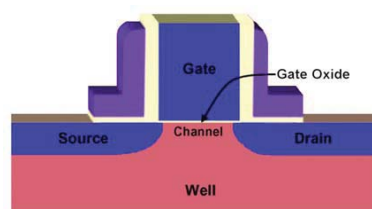
Bei $E > 10^4$ V/cm „Heisse Elektronen“

- Tunneln in Gateoxid, Source-Drain-Tunneln
- Leckströme, V_{th} reduziert, Stabilitätsprobleme

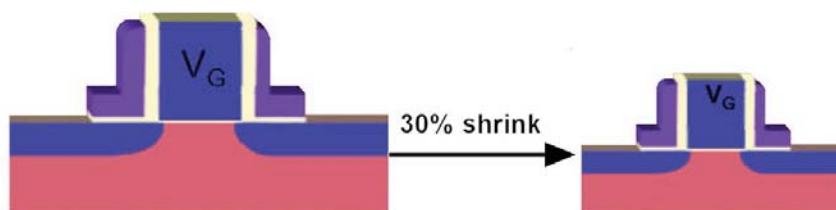


5.3. ULSI-Ausblick und Herausforderungen

Querschnitt durch einen n-Kanal-Transistor in twin-well CMOS-Technik

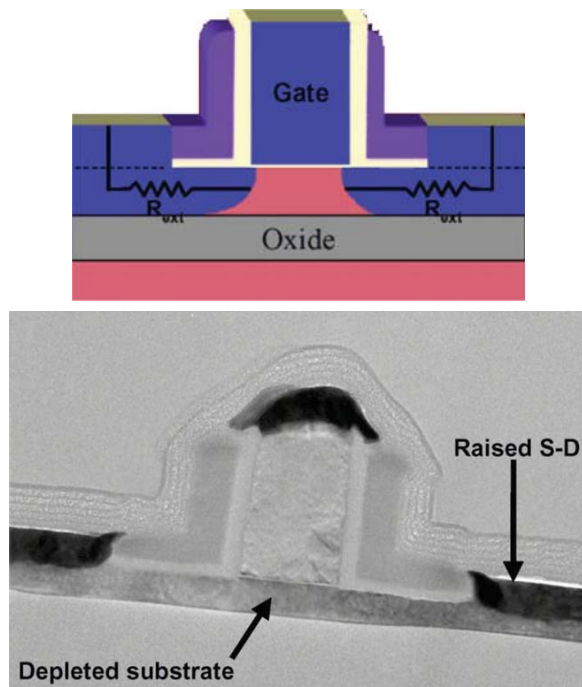


Verkleinerung der Strukturen



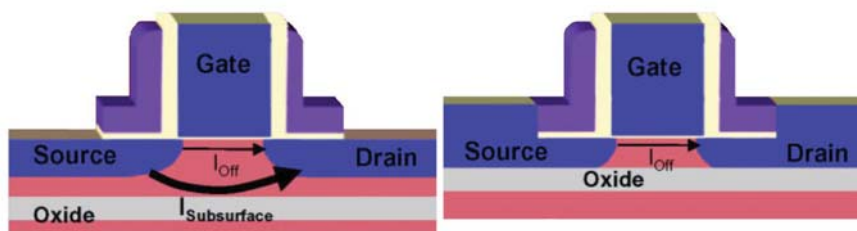
5.3. ULSI-Ausblick und Herausforderungen

Querschnitt durch einen n-Kanal SOI-Transistor



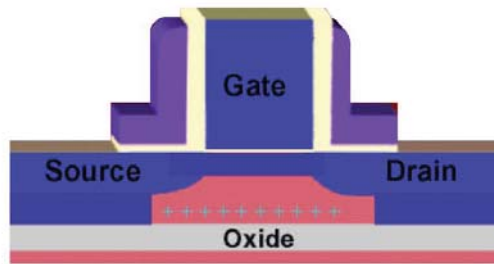
5.3. ULSI-Ausblick und Herausforderungen

Reduzierung der Tiefe des aktiven Bereichs

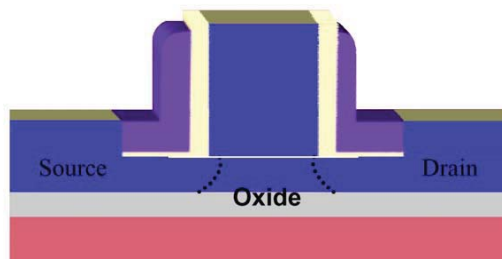


5.3. ULSI-Ausblick und Herausforderungen

"Body"- Effekt bei Standard SOI - Technik

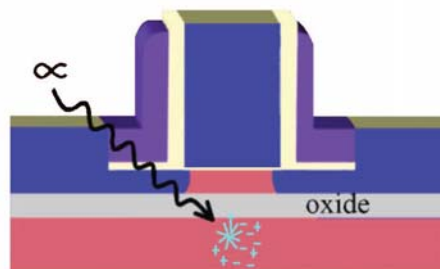


Kein "Body"- Effekt bei verbesserter SOI - Technik

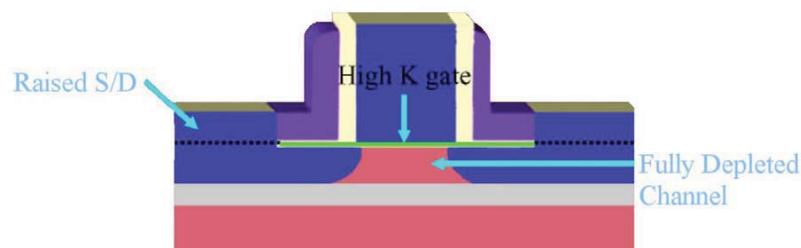


5.3. ULSI-Ausblick und Herausforderungen

Reduzierung der Fehler durch α -Teilchen-Beschuss

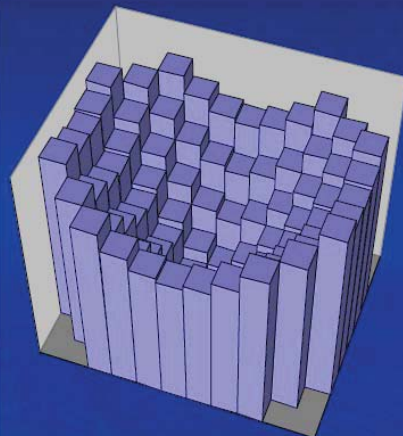


Weitere Verbesserung durch dickeres Gateoxid mit höherem ϵ_r



5.3. ULSI-Ausblick und Herausforderungen

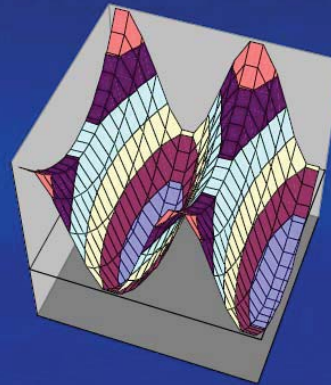
Die-to-Die Fluctuations



Resist Thickness

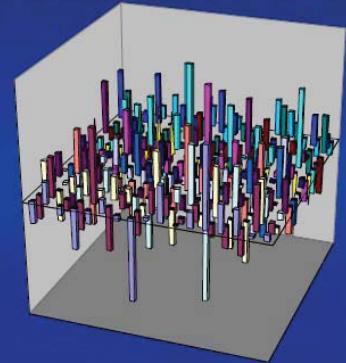
Within-Die Fluctuations

Systematic



Lens Aberrations

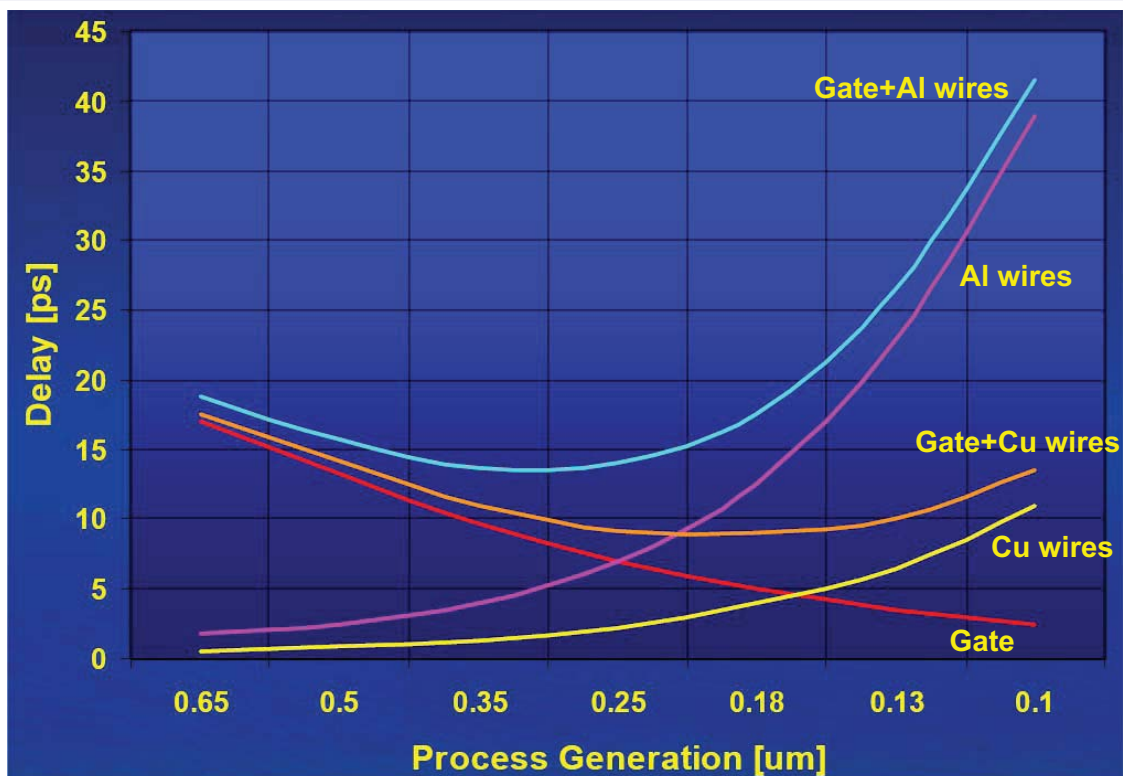
Random



Random Placement of Dopant Atoms



5.3. ULSI-Ausblick und Herausforderungen



5.3. ULSI-Ausblick und Herausforderungen

Verlustleistung eines 15 mmx15mm Prozessors

